情報通信工学

中原 仁（非常勤講師）

教科書：インターフェイスの電子回路入門（オーム社）

本授業の目的と内容

主に、メカトロニクス(自動機器制御)への応用を念頭に、基礎的な要素回路について学ぶ。

主な授業内容

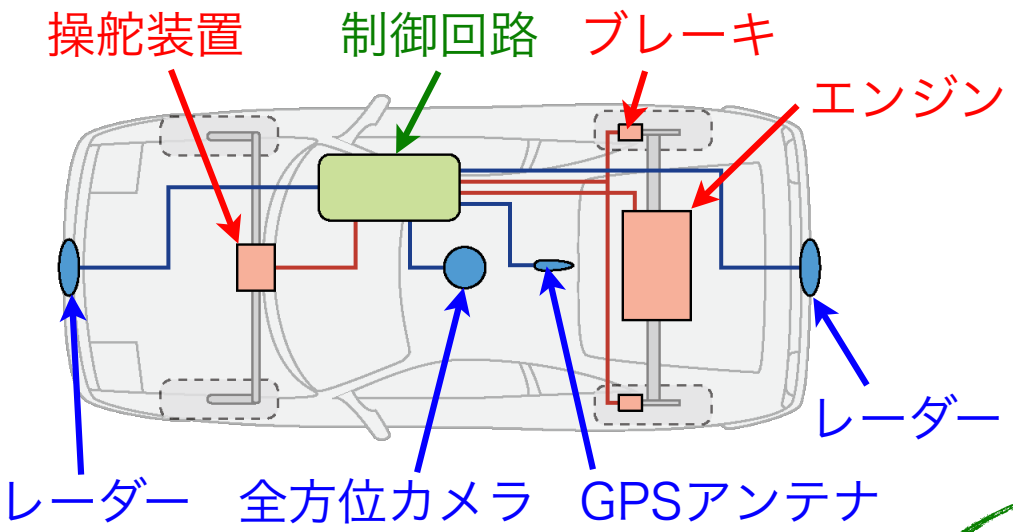
- はじめに
- センサー信号の検出回路
- オペアンプの基礎と演算回路
- パルス回路の基礎
- 論理回路の基礎と用法
- 記憶・計数回路
- A/D、D/A変換回路

成績評価

成績は、演習(20%)、中間試験(30%)、期末試験(50%)によって評価する。

メカトロニクスの具体例

自動運転を例に



センサー

検出回路

増幅・演算回路

A/D変換回路

デジタル演算回路

(＋ソフトウェア処理)

D/A変換回路

出力回路

アクチュエータ

制御回路

＝

種々の要素回路の集合体

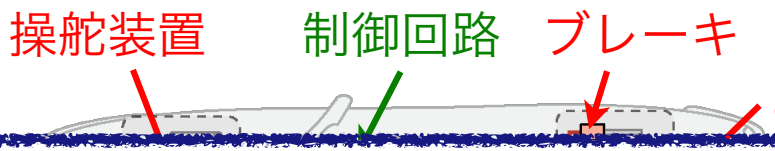
電子回路は機械と対話する言語

要素回路 ＝ 単語・熟語

制御回路 ＝ 文章

メカトロニクスの具体例

自動運転を例に



センサー

検出回路

増幅・演算回路

A/D変換回路

デジタル演算回路

(＋ソフトウェア処理)

D/A変換回路

出力回路

アクチュエータ

本授業の目標

基礎的な要素回路の**動作を理解**し、

基本設計ができるようになること

制御回路

＝

種々の要素回路の集合体

電子回路は機械と対話する言語

要素回路 ＝ 単語・熟語

制御回路 ＝ 文章

1. 検出回路

(教科書：pp1–7)

- 各種のセンサー
- センサー信号の検出回路
- 検出感度

各種のセンサー

身の回りのセンサー類

- 温度センサー
- 圧力センサー
- タッチセンサー

- 光センサー
- 磁気センサー
- ガスセンサー
- マイク
- カメラ
- アンテナ
- スイッチ

センサーは環境(温度・圧力等)の変化に応じて、 **インピーダンス**(電気抵抗・静電容量・インダクタンス)、**電流**、**電圧**、**電荷**などの物理量が変化

一般的な電子回路は、
電圧が入出力信号である

⇩

センサーの出力信号を**電子回路の入力に適した信号(電圧)に変換**する**検出回路**が必要となる

最も単純な電流検出回路

検出抵抗で電流→電圧変換

最も簡単な抵抗変化検出回路

教科書：図1.3の検出回路

出力電圧：$V(R_0) = \dfrac{R_0}{R_0 + r} E$

センサーの抵抗が R_0 から $R_0+\Delta R$ になると、

$$V(R_0 + \Delta R) = \frac{R_0 + \Delta R}{R_0 + \Delta R + r} E$$

一般に、**重要なのは**センサーの抵抗値そのものではなく、その**変化量**であるが、図1.3の回路では**出力が変化量に比例しない**

一般に、$\Delta R/R_0$ **は非常に小さいため**、図1.3の回路ではセンサーの抵抗が変化しても**出力がほとんど変化しない**

高感度・高精度な抵抗変化検出回路

教科書：図1.4の検出回路 = **直流ブリッジ回路**

ホイートストンブリッジ

センサーの抵抗が R_0 のときに $V(R_0) = 0$ となるように
ブリッジ抵抗を選ぶ($R_0R_3 = R_1R_2$)と、センサー抵抗が
$R_0+\Delta R$ のとき、

$$V(R_0 + \Delta R) = \frac{1}{(1 + R_2/R_0)(1 + R_1/R_3)} \frac{\Delta R}{R_0} E$$

この係数が最大のとき、検出感度が最大

出力が ΔR に比例

$R_2 = R_0$、$R_3 = R_1$

高感度・高精度な抵抗変化検出回路

教科書：図1.4の検出回路 = **直流ブリッジ回路**

$$V(R_0+\Delta R)=\frac{1}{(1+R_2/R_0)(1+R_1/R_3)}\frac{\Delta R}{R_0}E$$

電気抵抗は、検出したい物理量の変化以外の要因(気温等)でも変化し、出力電圧を変動させる

→ 誤検出につながる

出力はこの比に依存するので、R_2とR_0、R_1とR_3が同じ変化をすれば(同一の構造であれば)、誤検出は生じない

R_2 をセンサーと同じ構造とする：**ダミーセンサー**

ダミーセンサーは検出したい物理量の影響を受けないように設置

同様の理由で、**R_1とR_3も同仕様**の抵抗を用いる

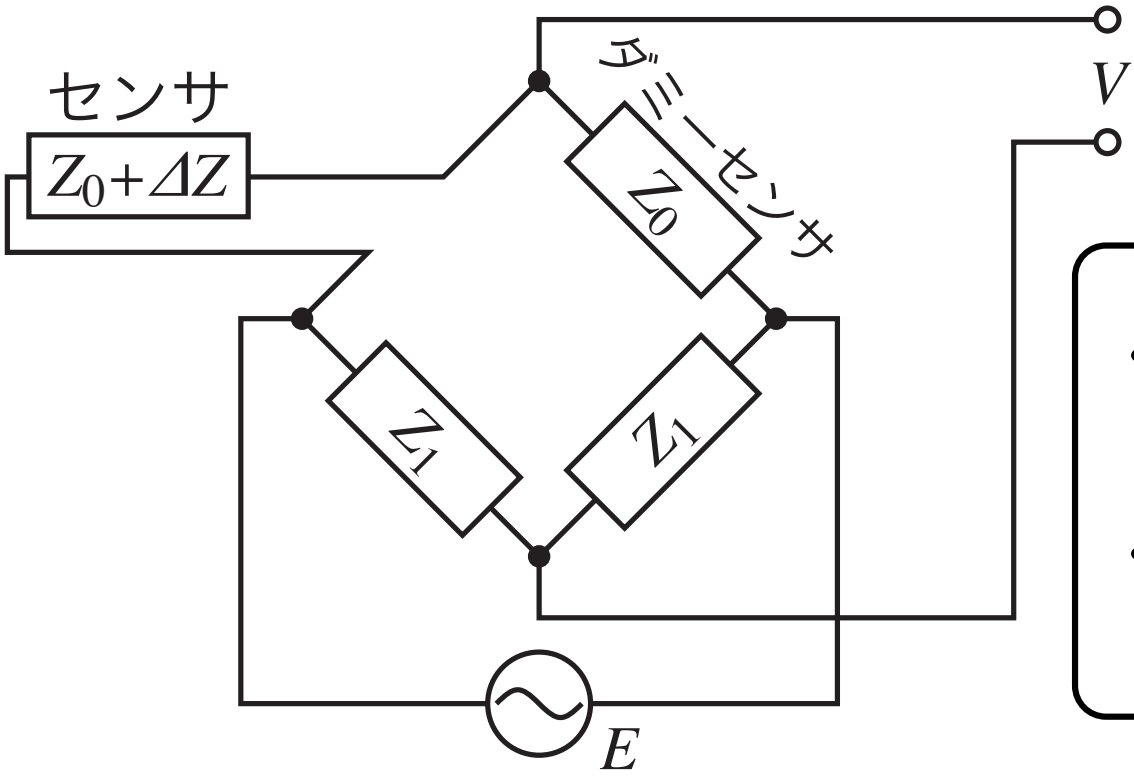
直流ブリッジ回路の応用例

教科書 p6：図1.7

(ガス漏れ警報機)

交流ブリッジ回路

ブリッジ回路の電源部に**交流電源**を用い、センサーやブリッジ抵抗を**コンデンサー**や**インダクター**(コイル)に置き換える事で、キャパシタンスやインダクタンスの微小な変化を検出する回路を作ることができる



応用例

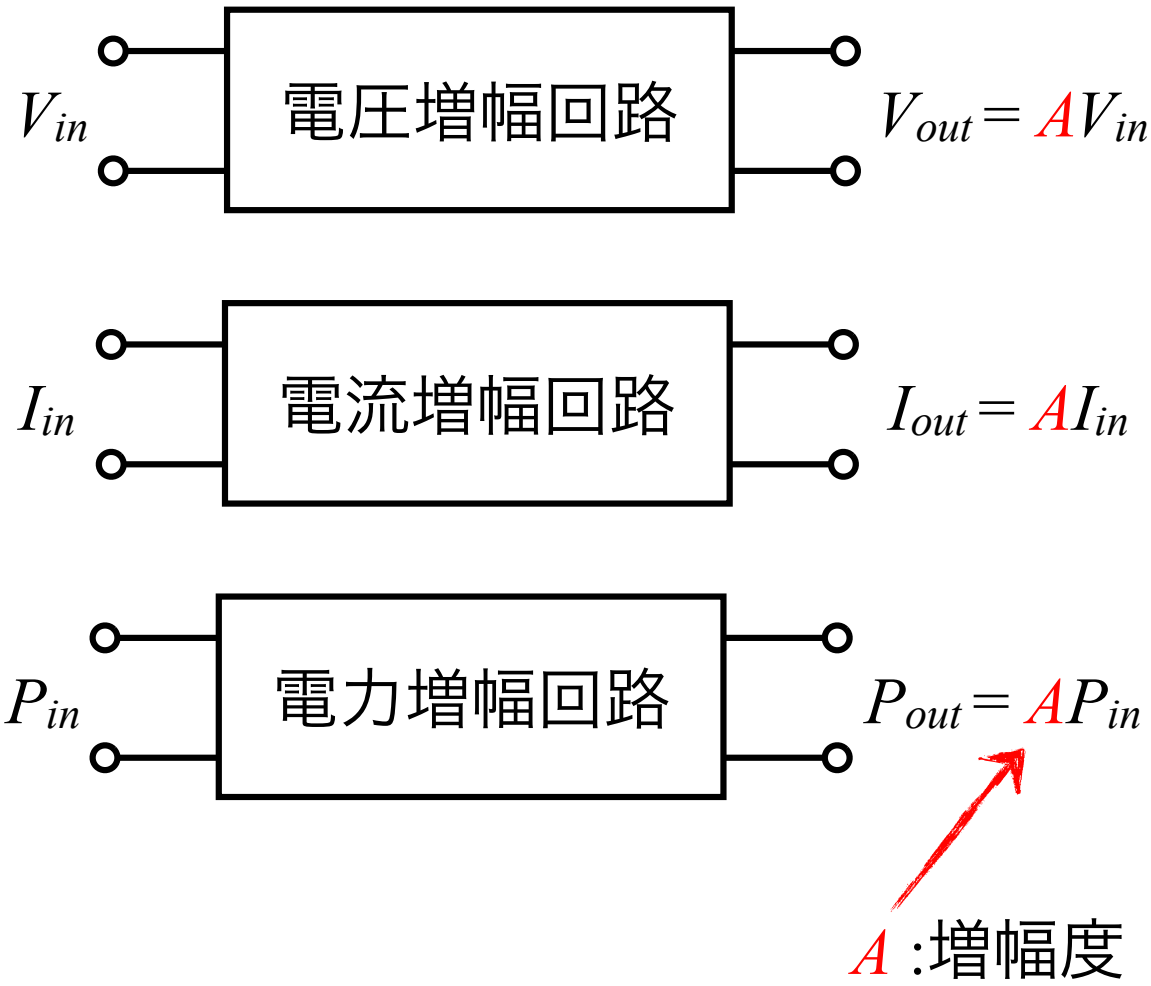
- 用紙センサー(誘電体によるキャパシタンス変化)
- 金属探知機(磁性体によるインダクタンス変化)

2. 増幅回路

(教科書：pp9–25)

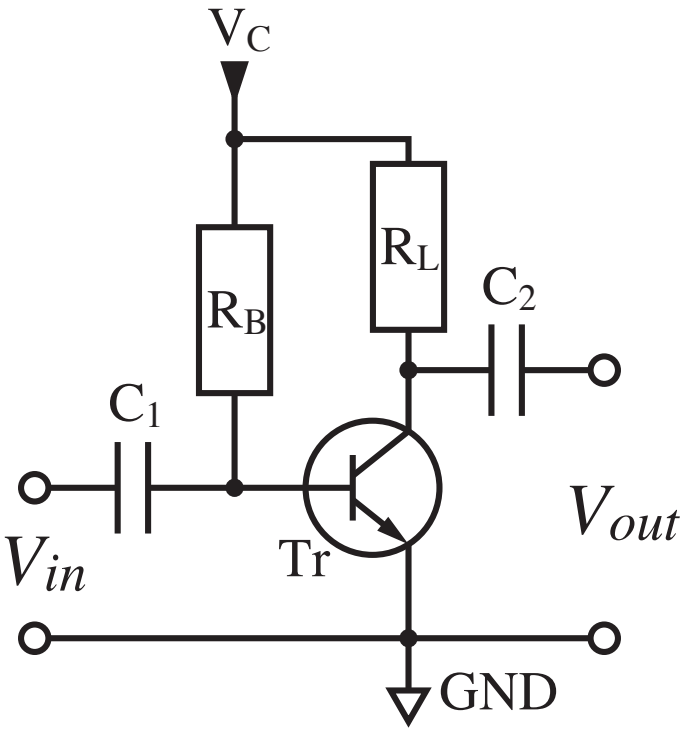
- オペアンプ(演算増幅器)
- 各種の増幅回路
- ボルテージホロワ
- 電流検出回路

増幅回路



単純な増幅回路の一例

(ディスクリート素子の場合)

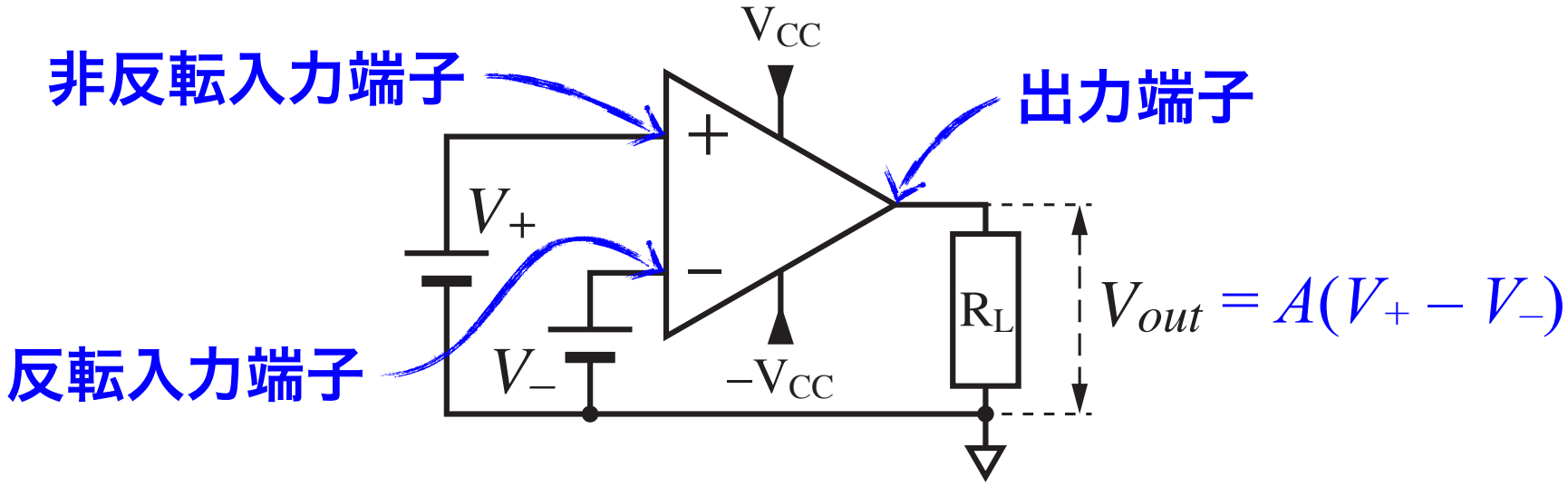


オペアンプ

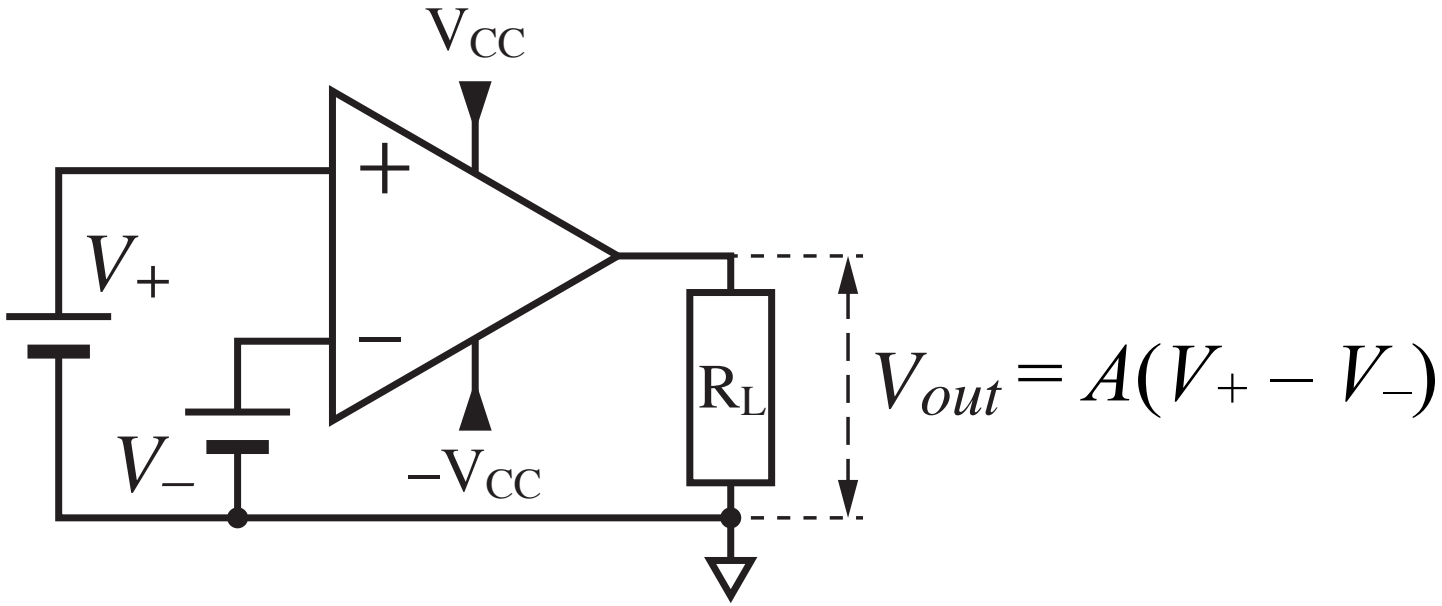
ディスクリート素子(ダイオード、トランジスタ)を用いた増幅回路の問題点

- 半導体素子は製造による性能ばらつきが大きく、所定の増幅率を得ることが困難
- 部品点数が多く、設計・製造コストが上がる
- 大きな増幅率を得るには多段にする必要がある

オペアンプ(演算増幅器)と呼ばれるIC(集積回路)を用いるのが一般的

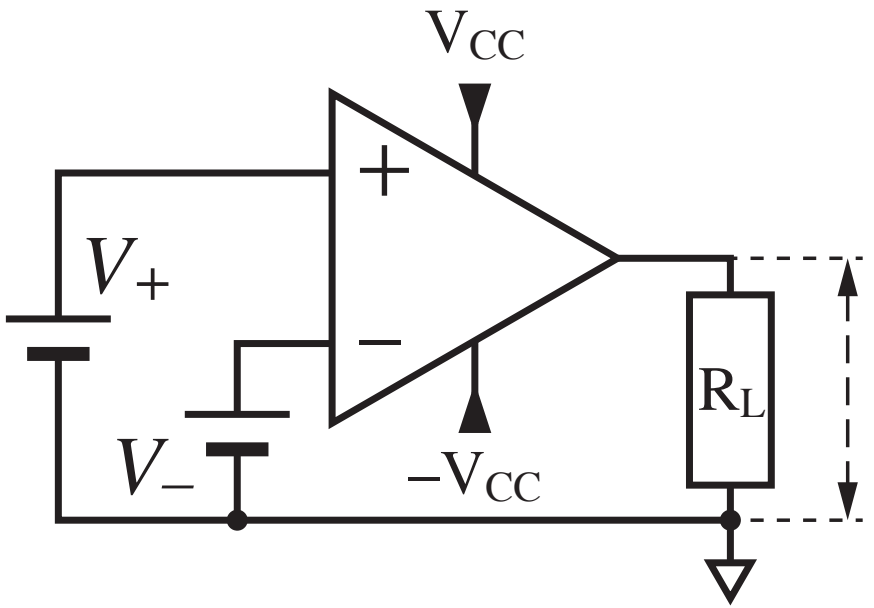


理想オペアンプ



- 増幅度(A)は無限大【実際は10^4〜10^6】
- 入力インピーダンスは無限大【実際は10^6〜$10^7\Omega$】
  ＝入力端子に流れる電流(入力バイアス電流)は0
- 出力インピーダンスは0【実際は数10Ω】
  ＝出力端子に流せる電流に制限がない(流入も可能)
- 性能が周波数に依存しない
- 遅延(位相ずれ)やオフセット(原点ずれ)、ノイズを生じない
- 出力の飽和電圧は、電源電圧の上(下)限値(V_{CC})と一致

オペアンプの基本動作



$V_+ = V_-$ ： $V_{out} = 0$

$V_+ > V_-$ ： $V_{out} = V_{CC}$

$V_+ < V_-$ ： $V_{out} = -V_{CC}$

0、$\pm V_{CC}$ の3種類の出力しか出ない

→線形増幅器として使えない

出力を反転入力につなげて(**負帰還**をかけるという)使用する

反転増幅回路

教科書 p17、図2.14、2.15、2.16

重要なポイント

- **負帰還をかける**と、オペアンプの非反転入力端子(+)と反転入力端子(–)の電位は等しくなる
  → **イマジナリショート(仮想短絡)**
- **非反転入力端子を接地している**と、反転入力端子の電位も0
  → **イマジナリグラウンド(仮想接地)**
- 入力端子には電流が流れないので、入力抵抗(R_1)を通過した**電流は全て**帰還抵抗(R_2)を介して**出力端子へ流れ込む**

結果的として、$V_0 = -\frac{R_2}{R_1}V_1$

オペアンプの増幅度に無関係で、
抵抗比のみで増幅度が決まる

入力電圧に対して正負が逆転(反転)

反転増幅回路のメリット・デメリット

- メリット
  - 単純な抵抗比で増幅度が決まるため、設計が容易
  - 0以上の任意の増幅度が設定できる(減衰も可)
- デメリット
  - 出力が反転する
  - 入力インピーダンスがR_1(数k〜数十kΩ) となり、オペアンプそのものの入力インピーダンス(数MΩ)よりかなり低くなる
    → 出力インピーダンスが高い回路(センサ)からの入力は不適

非反転増幅回路

教科書 p20、図2.18、2.19

重要なポイント

- **負帰還をかける**と、オペアンプの非反転入力端子(+)と反転入力端子(–)の電位は等しくなる
  → **イマジナリーショート(仮想短絡)**
- 非反転入力端子は入力電圧なので、**仮想接地ではない**
- 入力端子は直接非反転入力端子につながっているので、入力側から流れる電流はない

結果的として、$V_0 = \left(1 + \frac{R_2}{R_1}\right) V_1$

極性反転はない

非反転増幅回路のメリット・デメリット

- メリット
  - 入力インピーダンスが極めて高く(数MΩ)、出力インピーダンスが高い回路からの信号を受けられる
    出力が反転しない
- デメリット
  - 1未満の増幅度を設定できない
  - 抵抗の単純比でないので、設計が若干面倒

ボルテージホロワ(バッファアンプ)

教科書 p21、図2.20

非反転増幅回路のR_1を無限大、R_2を0とすると、

$$V_0 = \left(1 + \frac{0}{\infty}\right) V_1 = V_1$$

すなわち、**出力には入力と同じ電圧**が出る。

ボルテージホロワは電圧を保ったまま、
インピーダンス変換できる
→ 出力インピーダンスが高い回路の出力を、入力インピーダンスが低い後段の回路に接続できる

差動増幅回路

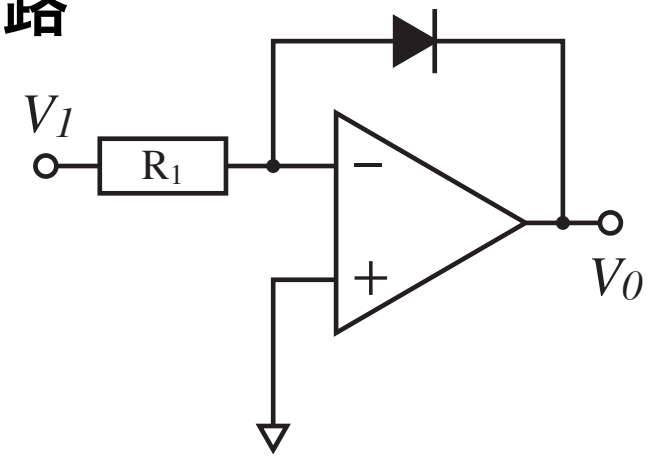
教科書 p22、図2.22

重要なポイント

- 入力端子間の**電位差をR_2/R_1倍**に増幅
- 信号源とアンプが離れているときなど、信号線に乗ったノイズ(**コモンモードノイズ (同相雑音)**)に影響されずに信号のみを増幅できる
- $R_2=R_1$とすると、V_1とV_2の引き算回路になる

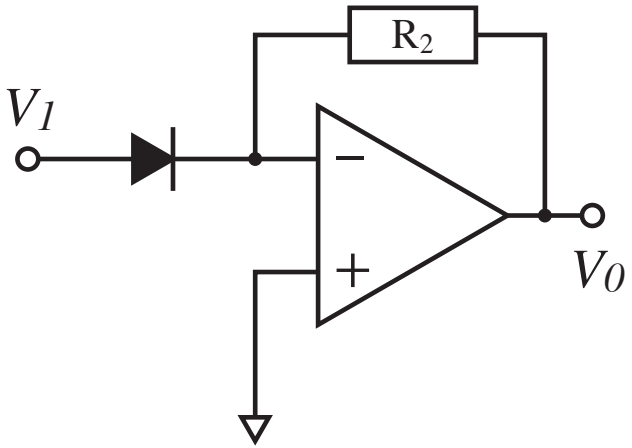
非線形回路

対数変換回路



$$V_0 = -A_1 \ln(V_1)$$

指数変換回路(逆対数変換回路)



$$V_0 = -A_2 \exp(V_1)$$

ダイオードやトランジスタのpn接合の非線形性(準方向の電流・電圧特性)を利用

3. 演算回路

(教科書：pp27–39)

- オペアンプを用いた、アナログ演算回路と信号処理

オペアンプを用いたアナログ演算回路

反転加算回路（教科書p28、図3.1、3.2）

$$V_0 = -R_f \sum_{i=1}^{N} \frac{V_i}{R_i}$$

R_f/R_i は加算の重み

$R_i = R_f$なら、$V_0 = -\sum_{i=1}^{N} V_i$

加減算回路（教科書p29、図3.3)

$$V_0 = \frac{R_f}{R} \sum_{i=1}^{N} (V_{+i} - V_{-i})$$

差動増幅回路は加減算項数が1の加減算回路

$R = R_f$なら、 $V_0 = \sum_{i=1}^{N} (V_{+i} - V_{-i})$

この回路は、加算項数と減算項数が同じであることが必須！

任意個数の加減算回路

教科書p30、図3.4

反転加算回路を2段にして用いる

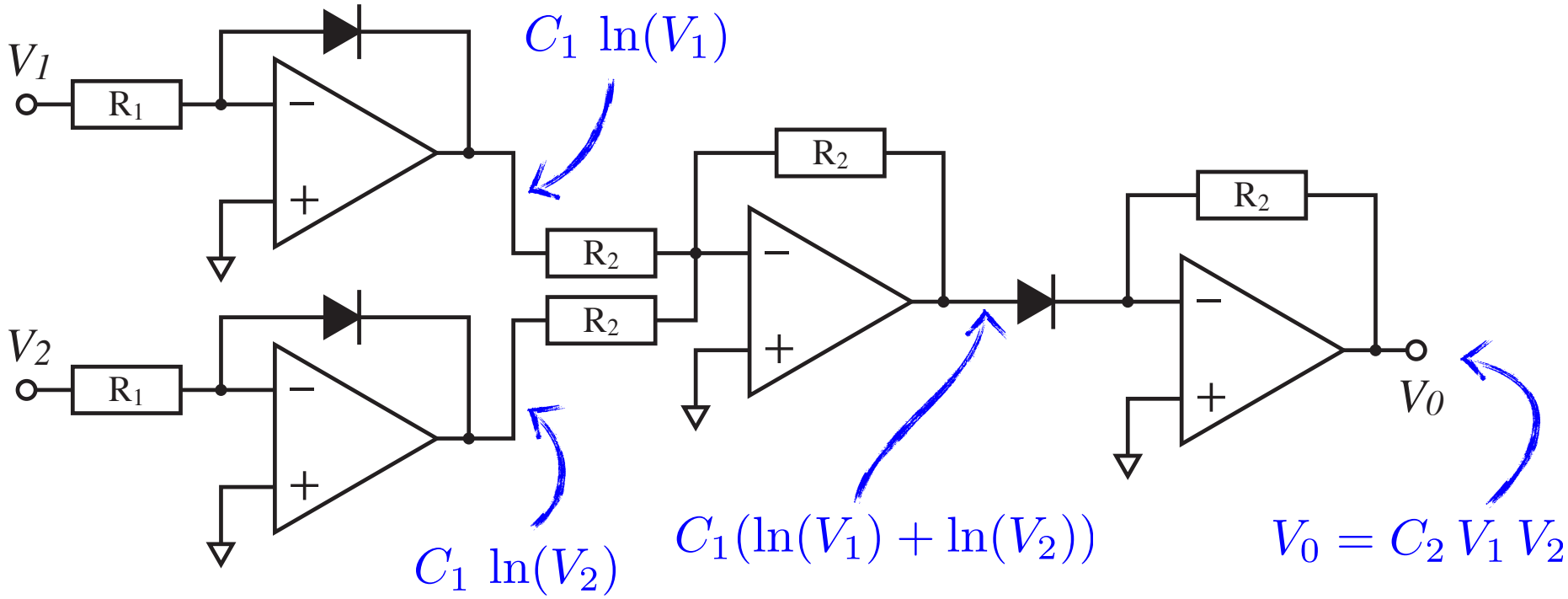
乗算・除算回路

対数の加減算と指数変換で乗算・除算を行うことができる

$$V_1 V_2 = \exp(\ln(V_1) + \ln(V_2))$$

$$\frac{V_1}{V_2} = \exp(\ln(V_1) - \ln(V_2))$$

乗算の例(用途：可変ゲインアンプ等)



積分・ 微分回路

教科書p31～32、図3.5～3.9

コンデンサーに溜まる電荷 $Q = CV$

電流の定義　$i = \dfrac{dQ}{dt}$ $\rightarrow$ $Q = \displaystyle\int i\,dt$

✳ インダクタンス(コイル)を用いても同様な回路は作れるが、
一般的ではない(コイルは集積化に向かないため)。

比較回路(コンパレータ)

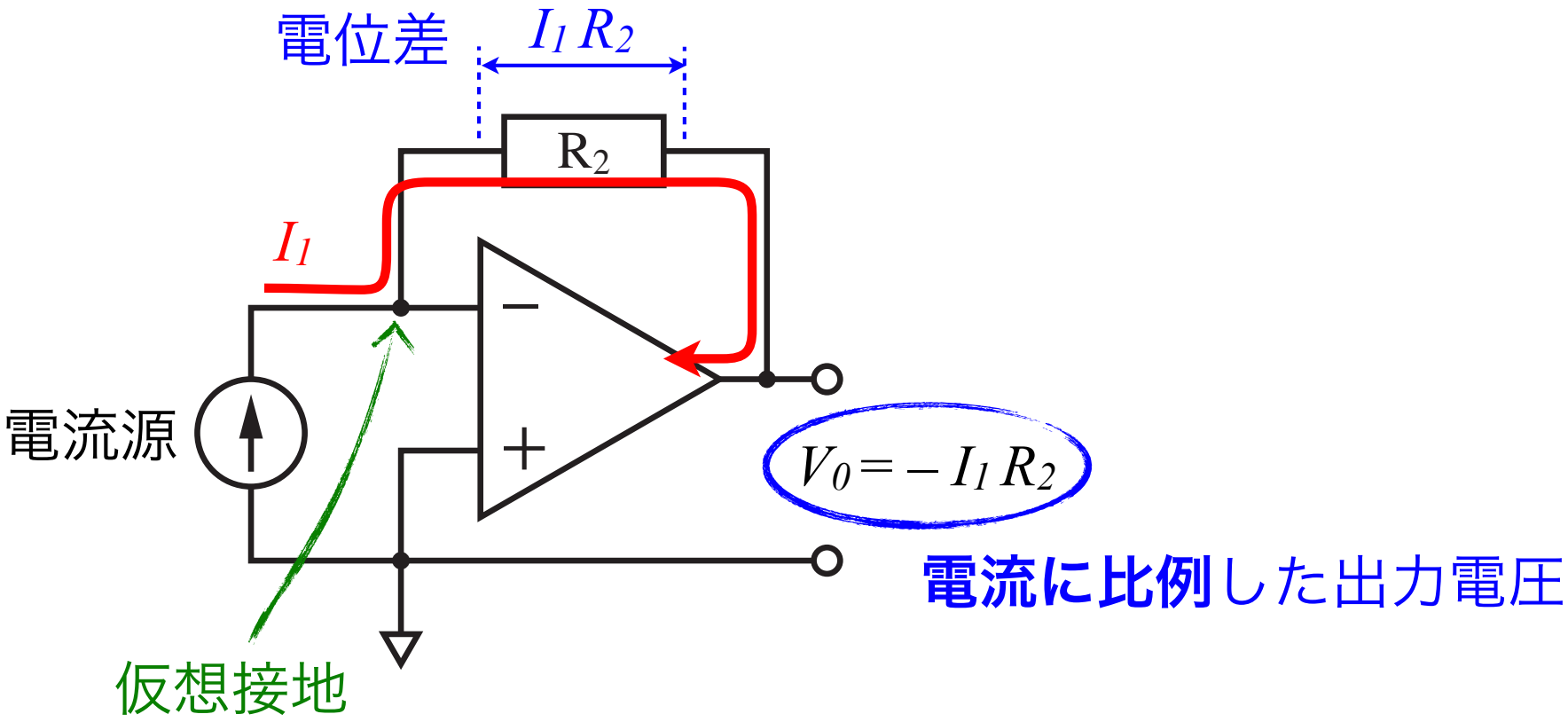
教科書p33、図3.10、 図3.11

電圧-電流(定電流回路)変換回路

教科書p34、図3.12

電流-電圧変換回路(電流検出回路)

入力信号が電流の場合(フォトダイオードなど)

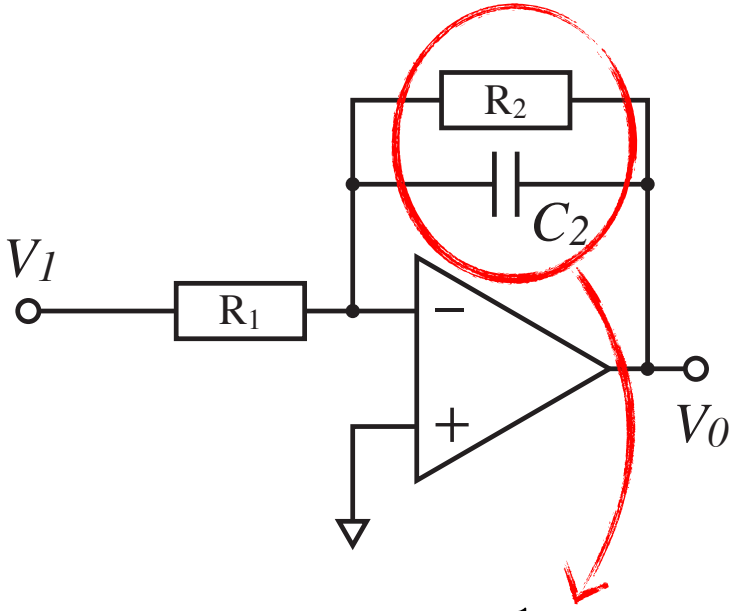


電流に比例した出力電圧

低域・高域通過フィルタ回路

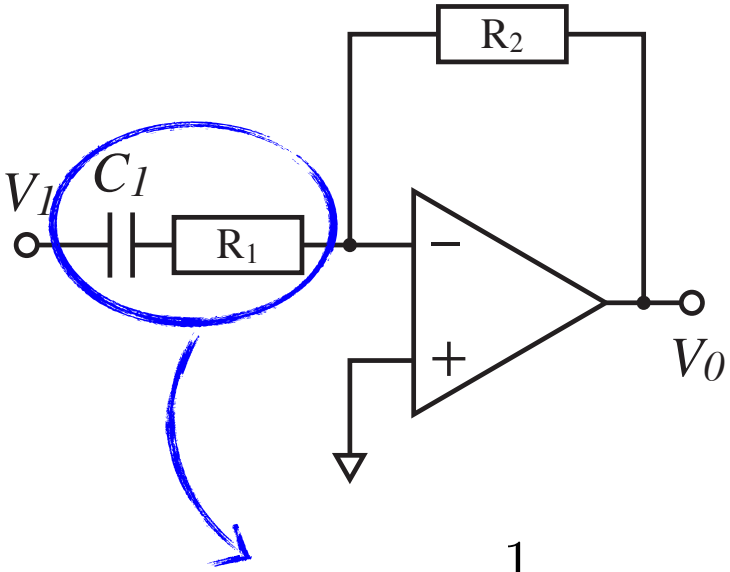
教科書p36～38、図3.14、 図3.17

低域通過フィルタ
(Low Pass Filter: LPF)



遮断周波数： $f_c = \dfrac{1}{2\pi C_2 R_2}$

高域通過フィルタ
(High Pass Filter: HPF)

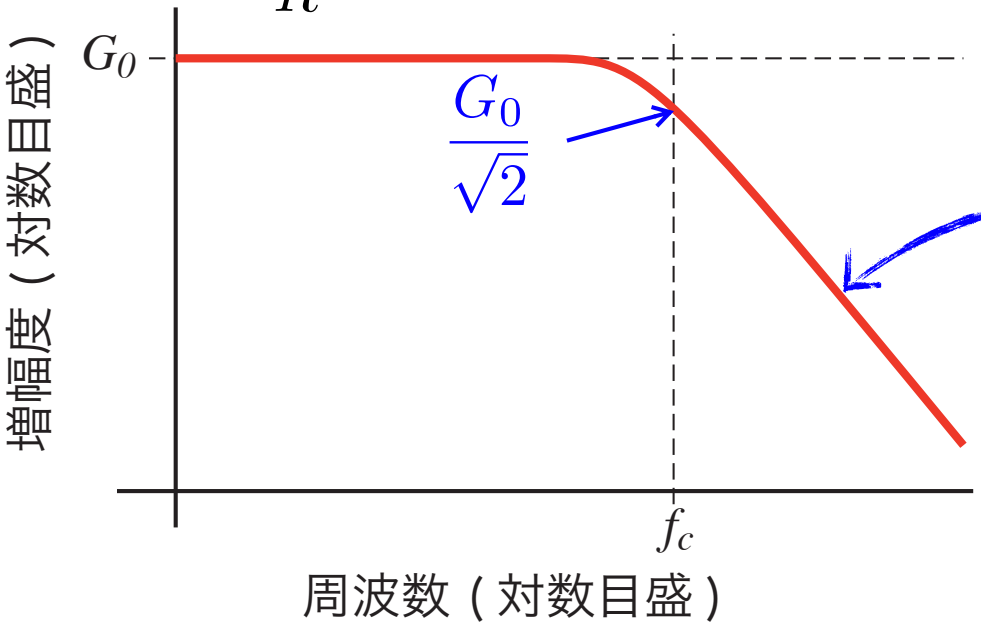


$f_c = \dfrac{1}{2\pi C_1 R_1}$

低域・高域通過フィルタ回路

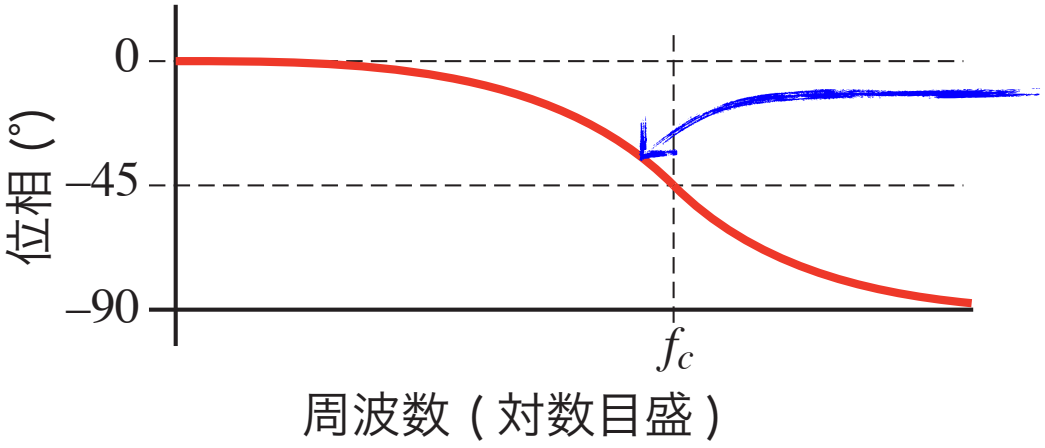
LPFのゲイン、位相特性

$$G_0 = \frac{R_f}{R}$$



周波数10倍でゲイン1/10
(1次のLPF)

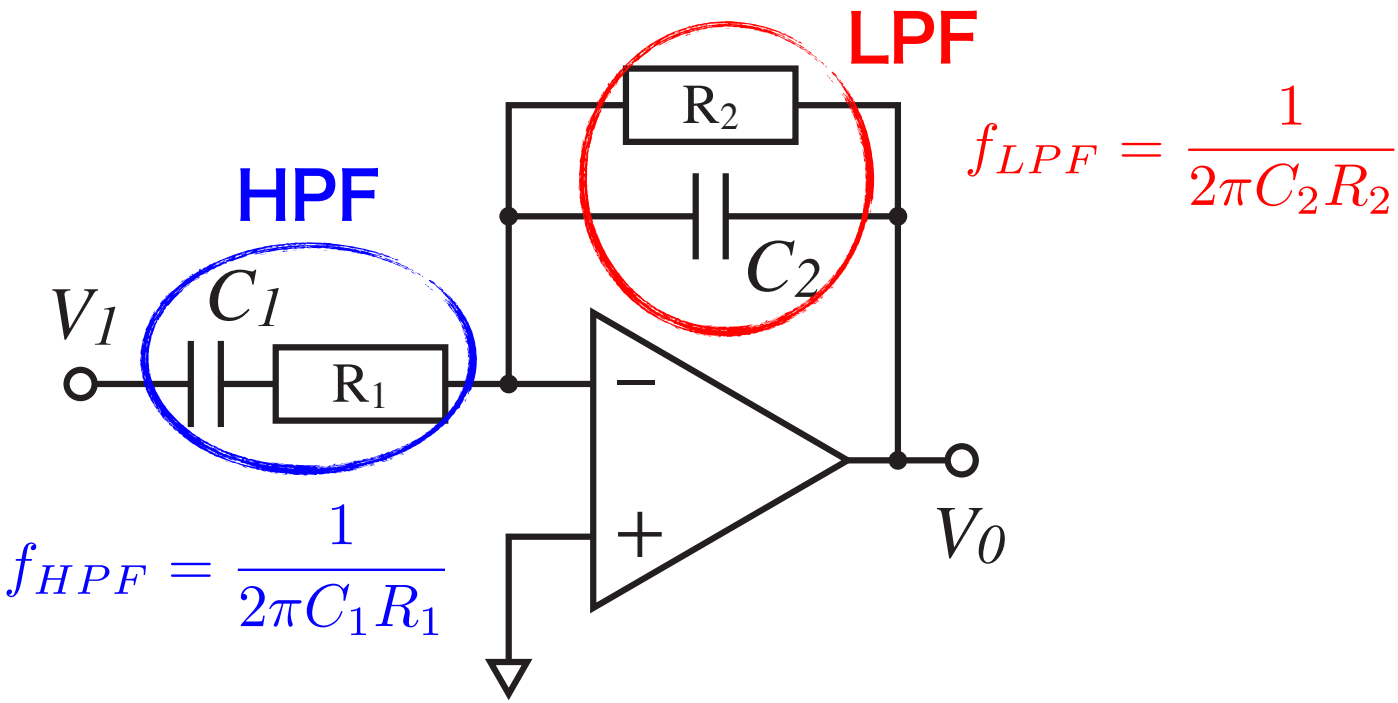
2次、3次といった急峻なフィルタを作ることもできるので、興味ある人は調べてみてください。



LPFを通過させると
信号の位相が遅れる

バンドパスフィルタ

LPFとHPFを組み合わせると、特定範囲の
周波数だけを通過させることができる。



4. パルス回路

(教科書：pp41–57)

- ダイオード回路
- トランジスタ回路

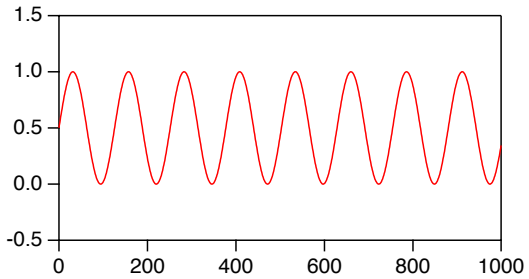
パルス信号

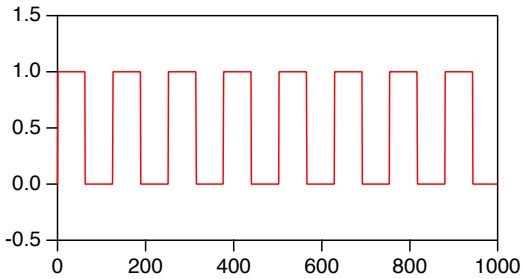
パルス信号：矩形波の信号で、**情報の有無**だけを表す

↳**1/0** すなわち、デジタル信号

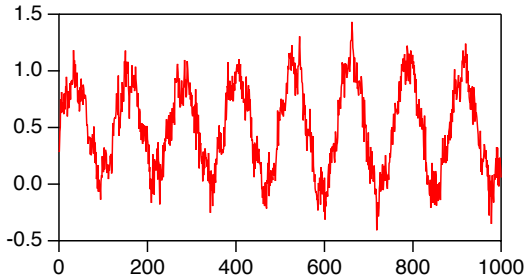
- 信号伝達の過程でノイズによって乱されても、信号の有無への影響がない
- ノイズ等で乱れた信号を簡単に整形・復元できる

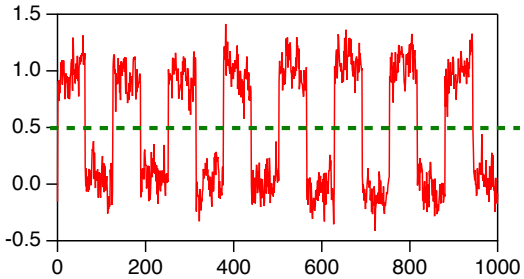
アナログ

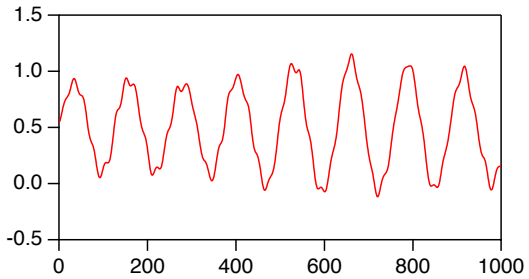


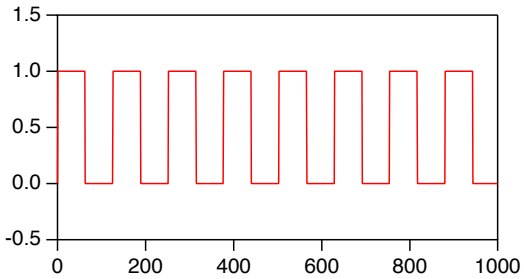


デジタル







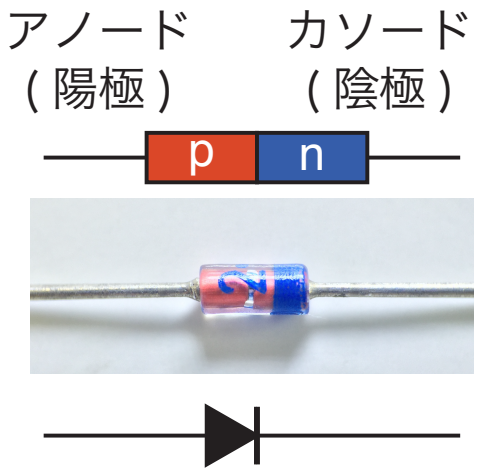


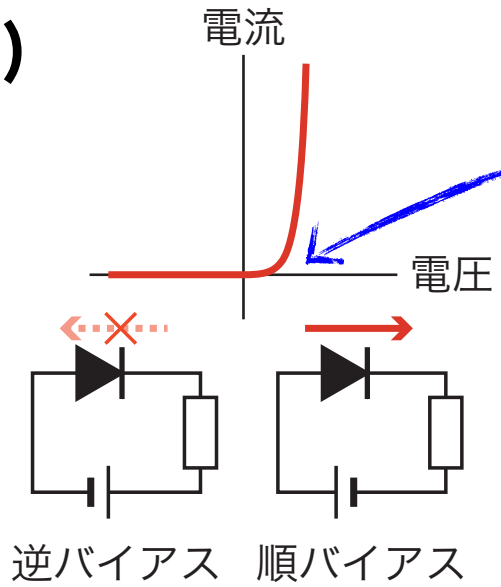
二項フィルタでノイズ除去しても、元の波形には戻らない

基準値より高いか低いかを比較すれば、元の信号が得られる

ダイオードとトランジスタの動作

ダイオード(PNダイード)

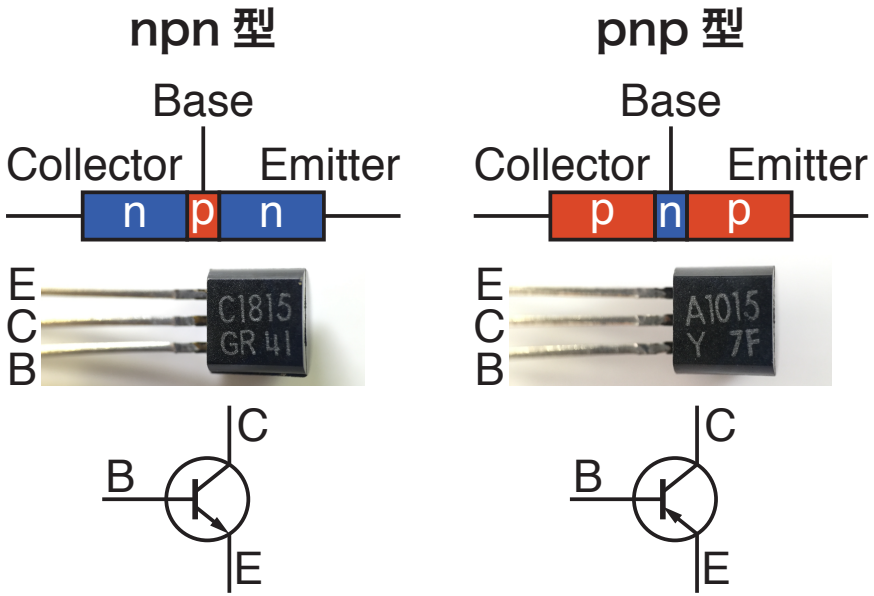




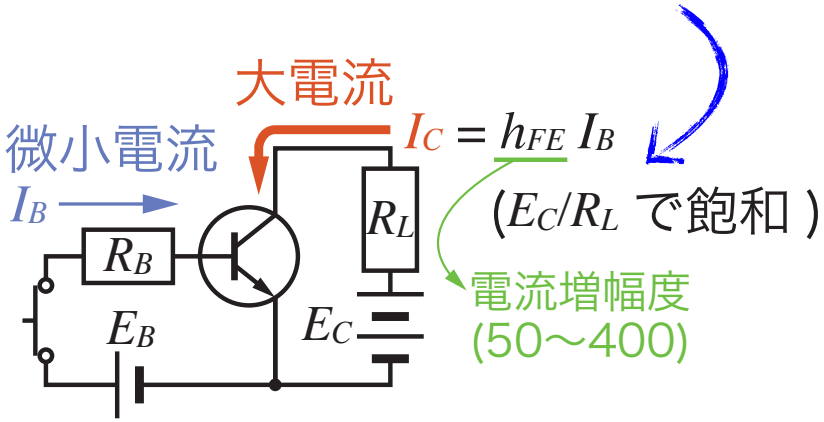
スイッチング作用
(整流作用)

信号電圧の向きでON/OFF制御

トランジスタ(バイポーラトランジスタ)



スイッチング作用
(電流増幅作用)



外部入力でON/OFF制御

※電界効果トランジスタ(FET)は構造も動作も異なる

ダイオードによるパルス回路

教科書p46～48、図4.9～4.13

- **クリッパ**(閾値より大きな信号のみ出力)：図4.9

  clip = 刈り取る
- **リミッタ**(閾値より小さな信号のみ出力)：図4.11

  limit = 制限する

トランジスタによるパルス回路

教科書p53、図4.19

- **インバータ**(パルス反転)：図4.19

  invert = 逆にする

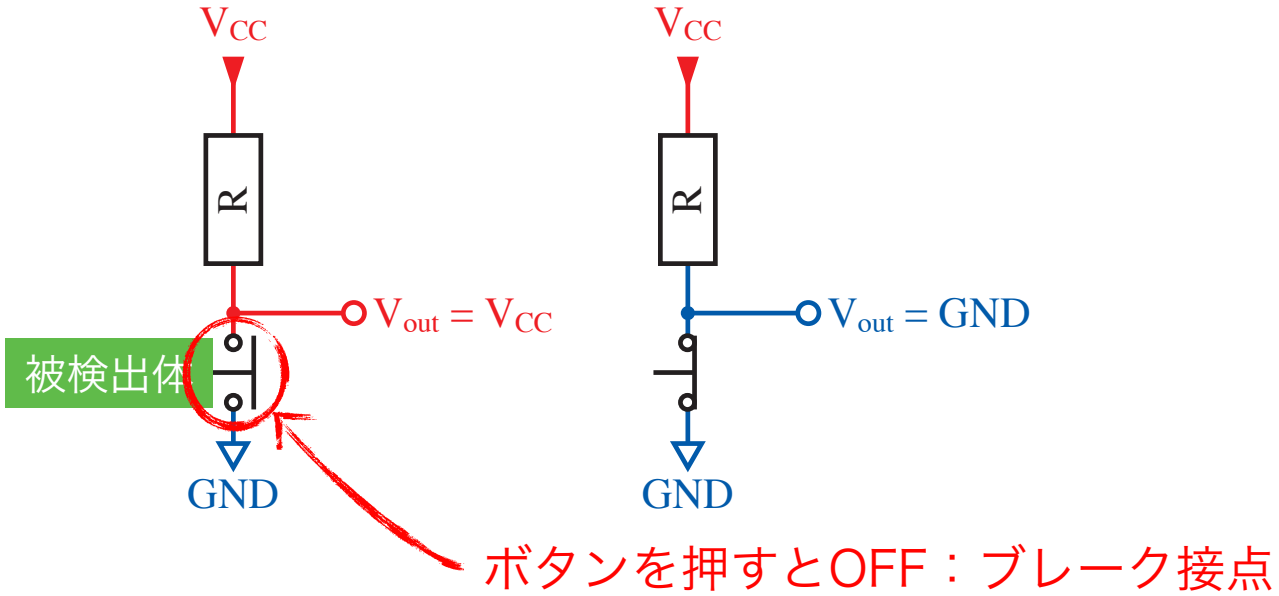
乱れたパルスの整形・復元

教科書p54～56、図4.22～4.25

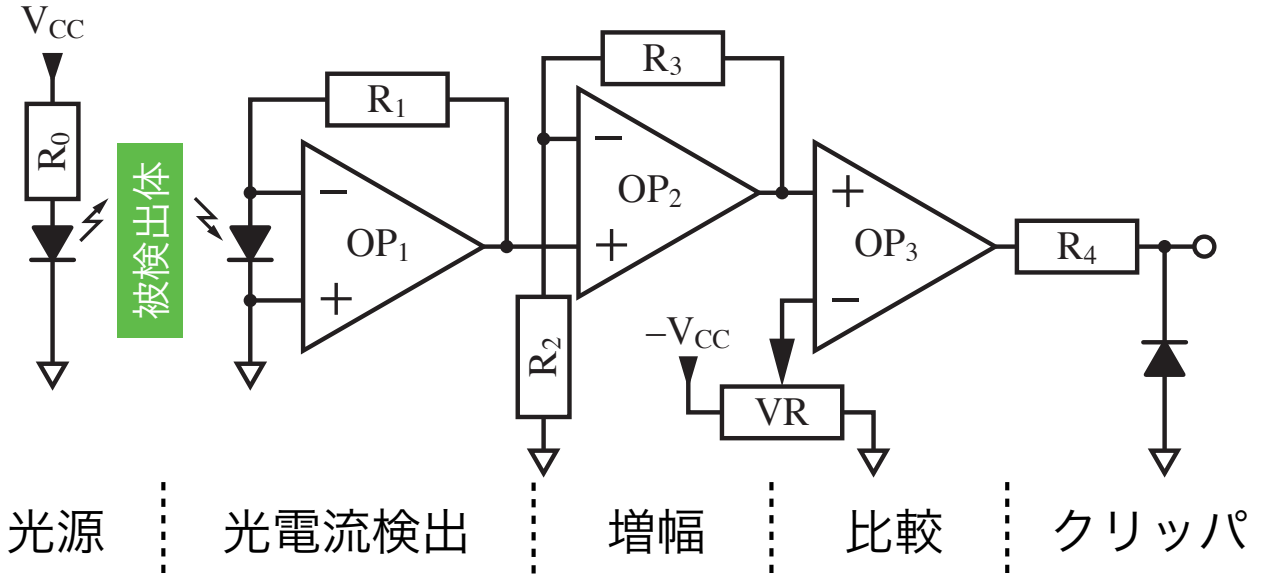
ディジタル信号の発生

教科書p61、図5.4

・機械スイッチ法
(接触式)



・光学検出法
(非接触式)



5. ディジタル論理回路

(教科書：pp59–88)

- 論理回路の基礎

ディジタル信号の演算(論理演算)

真理値表：入力と出力の関係を0/1で表現

↑論理回路の基本設計図

3入力/1出力の論理回路の真理値表の例

(教科書 表5.1)

	S_1	S_2	S_3	X
なし	0	0	0	0
製品A	1	1	1	0
製品B	0	1	1	1
製品C	0	0	1	0

製品Bのときだけ
信号を出したい

一般的には、
0のとき信号(電圧)**なし**、
1のとき信号(電圧)**あり**
→ **正論理**

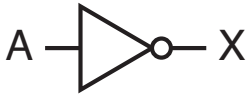
論理式(ブール代数)とそのシンボル

基本論理回路

全ての論理動作は基本論理回路の組み合わせで実行できる

NOT(否定)

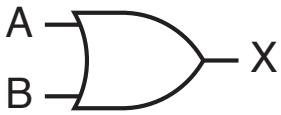
$$X = \overline{A}$$



A	X
0	1
1	0

OR(論理和)

$$X = A + B$$



A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

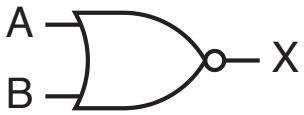
AND(論理積)

$$X = A \cdot B$$

A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

NOR(否定論理和)

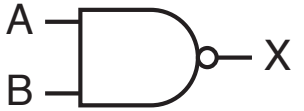
$$X = \overline{A + B}$$



A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

NAND(否定論理積)

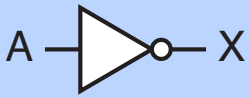
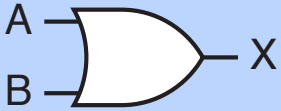
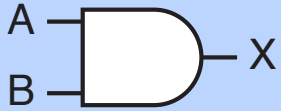
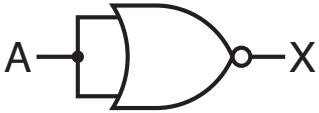
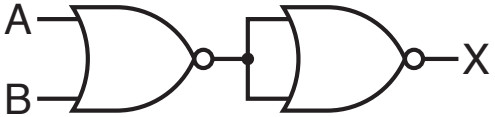
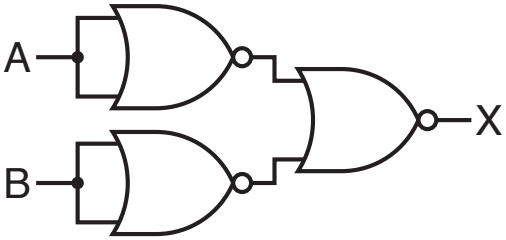
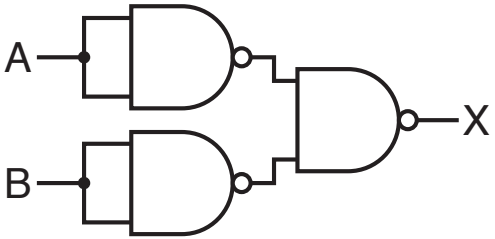
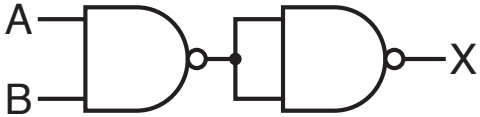
$$X = \overline{A \cdot B}$$



A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

NORあるいはNANDのいずれか一方のみで、基本論理回路を構成できる(教科書 図5.24)

NOR/NANDによる基本論理回路

基本論理回路	NOT	OR	AND
			
NOR	 $\overline{A} = \overline{A + A}$	 $A + B = \overline{\overline{A + B}}$	 $A \cdot B = \overline{\overline{A} + \overline{B}}$
NAND	 $\overline{A} = \overline{A \cdot A}$	 $A + B = \overline{\overline{A} \cdot \overline{B}}$	 $A \cdot B = \overline{\overline{A} \cdot \overline{B}}$

ド・モルガンの定理：

$$\overline{A + B} = \overline{A} \cdot \overline{B}$$

$$\overline{A \cdot B} = \overline{A} + \overline{B}$$

ブール代数の公式

復元則： $\overline{\overline{\mathrm{A}}} = \mathrm{A}$

交換則： $\mathrm{A} + \mathrm{B} = \mathrm{B} + \mathrm{A}$ $\quad$ $\mathrm{A} \cdot \mathrm{B} = \mathrm{B} \cdot \mathrm{A}$

同一則： $\mathrm{A} + \mathrm{A} = \mathrm{A}$ $\quad$ $\mathrm{A} \cdot \mathrm{A} = \mathrm{A}$

恒等則： $\mathrm{A} + 1 = 1$ $\quad$ $\mathrm{A} \cdot 1 = \mathrm{A}$ $\quad$ $\mathrm{A} + 0 = \mathrm{A}$ $\quad$ $\mathrm{A} \cdot 0 = 0$

結合則： $(\mathrm{A} \cdot \mathrm{B}) \cdot \mathrm{C} = \mathrm{A} \cdot (\mathrm{B} \cdot \mathrm{C}) = \mathrm{A} \cdot \mathrm{B} \cdot \mathrm{C}$

$(\mathrm{A} + \mathrm{B}) + \mathrm{C} = \mathrm{A} + (\mathrm{B} + \mathrm{C}) = \mathrm{A} + \mathrm{B} + \mathrm{C}$

補元則： $\mathrm{A} + \overline{\mathrm{A}} = 1$ $\quad$ $\mathrm{A} \cdot \overline{\mathrm{A}} = 0$

ド・モルガン則： $\overline{\mathrm{A} + \mathrm{B}} = \overline{\mathrm{A}} \cdot \overline{\mathrm{B}}$ $\quad$ $\overline{\mathrm{A} \cdot \mathrm{B}} = \overline{\mathrm{A}} + \overline{\mathrm{B}}$

分配則： $\mathrm{A} \cdot (\mathrm{B} + \mathrm{C}) = \mathrm{A} \cdot \mathrm{B} + \mathrm{A} \cdot \mathrm{C}$

吸収則： $\mathrm{A} + \mathrm{A} \cdot \mathrm{B} = \mathrm{A}$ $\quad$ $\mathrm{A} \cdot (\mathrm{A} + \mathrm{B}) = \mathrm{A}$

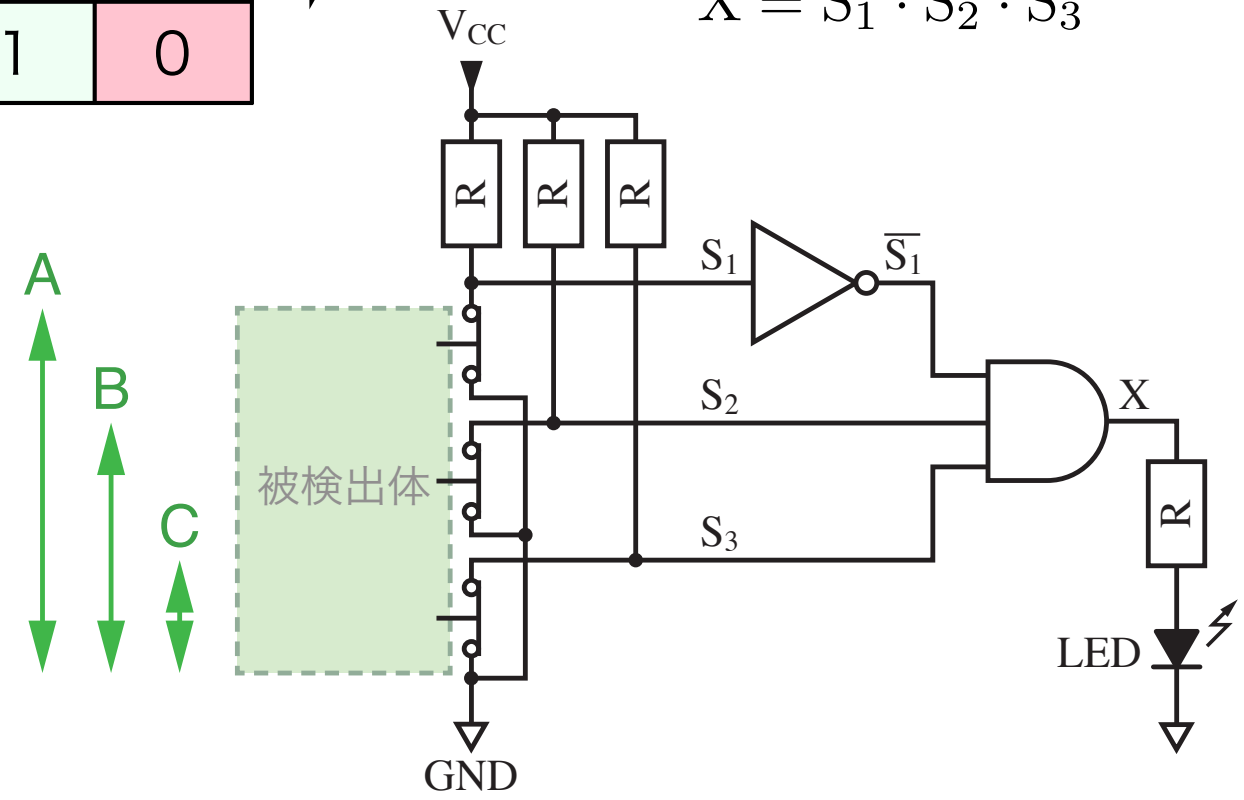
論理回路の例(製品識別)

教科書p70、図5.16(a)

	S_1	S_2	S_3	X
なし	0	0	0	0
製品A	1	1	1	0
製品B	0	1	1	1
製品C	0	0	1	0

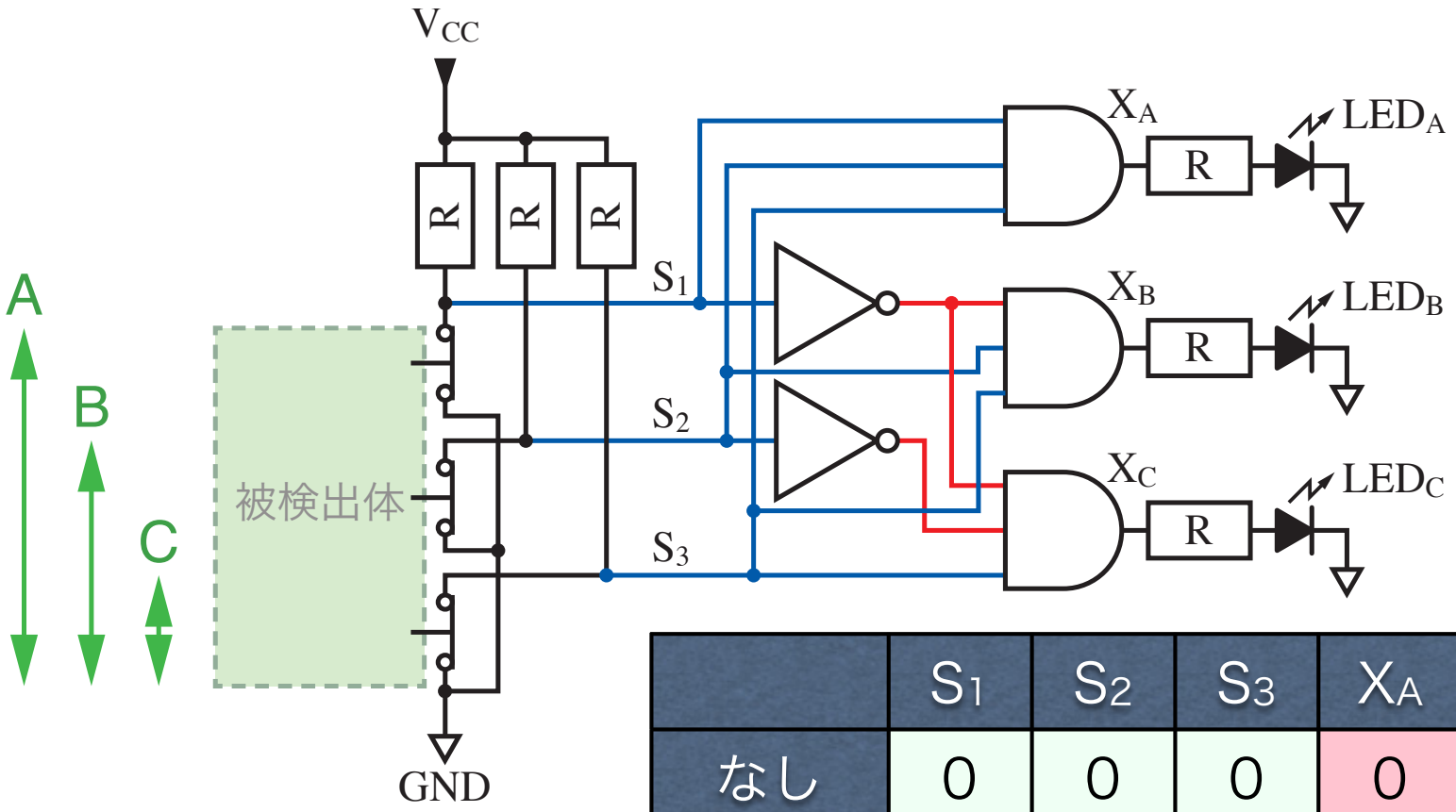
S_1が0、且つS_2が1、且つS_3が1

$$X = \overline{S_1} \cdot S_2 \cdot S_3$$



論理回路の例(製品識別)

製品AのときLED$_A$が、 製品BのときLED$_B$が、
製品CのときLED$_C$が点灯する回路



$$X_A = S_1 \cdot S_2 \cdot S_3$$

$$X_B = \overline{S_1} \cdot S_2 \cdot S_3$$

$$X_C = \overline{S_1} \cdot \overline{S_2} \cdot S_3$$

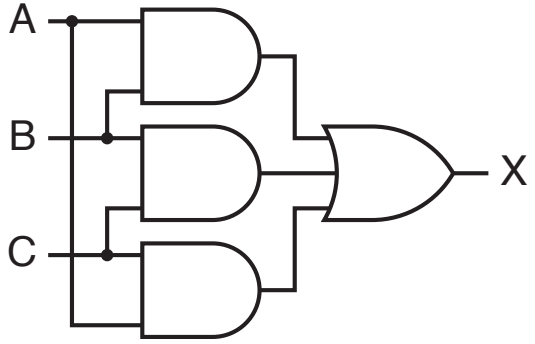
	S_1	S_2	S_3	X_A	X_B	X_C
なし	0	0	0	0	0	0
製品A	1	1	1	1	0	0
製品B	0	1	1	0	1	0
製品C	0	0	1	0	0	1

論理回路の例(3入力多数決回路)

教科書p73、図5.19

A	B	C	A·B	A·C	B·C	X
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	1	1
1	0	0	0	0	0	0
1	0	1	0	1	0	1
1	1	0	1	0	0	1
1	1	1	1	1	1	1

$$X = (A \cdot B) + (A \cdot C) + (B \cdot C)$$



論理回路の例(2入力切替回路)

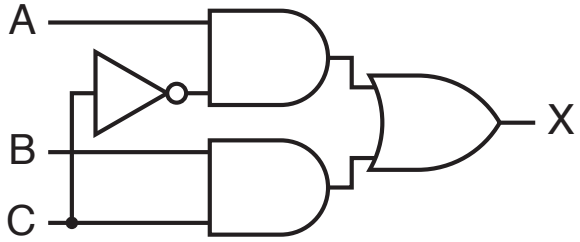
Cが0のときはAが、Cが1のときはBが出力される

A	B	C	$A\cdot\overline{C}$	B·C	X
0	0	0	0	0	0
0	1	0	0	0	0
1	0	0	1	0	1
1	1	0	1	0	1
0	0	1	0	0	0
0	1	1	0	1	1
1	0	1	0	0	0
1	1	1	0	1	1

$A + 0 = A$

$0 + B = B$

$$X = A \cdot \overline{C} + B \cdot C$$



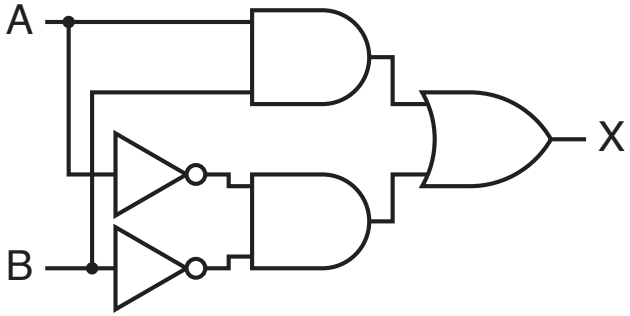
一致・反一致回路

教科書p81～82、図5.28～5.31

Exclusive NOR(一致)
否定排他的論理和(XNOR)

A	B	X
0	0	1
0	1	0
1	0	0
1	1	1

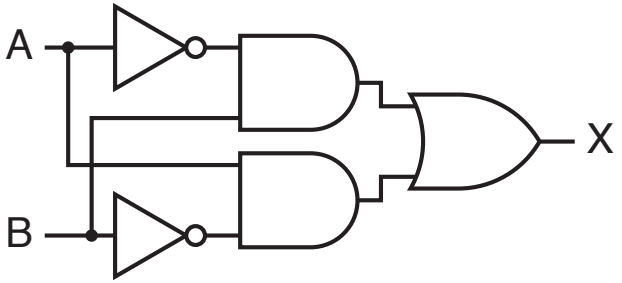
$$X = (A \cdot B) + (\overline{A} \cdot \overline{B})$$

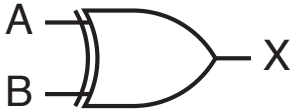


Exclusive OR(反一致)
排他的論理和(XOR)

A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

$$X = (A \cdot \overline{B}) + (\overline{A} \cdot B)$$



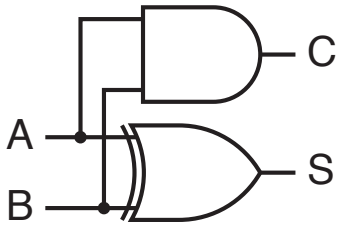


加算回路(半加算器)

教科書p84、図5.33

半加算器：2入力の1ビット加算器

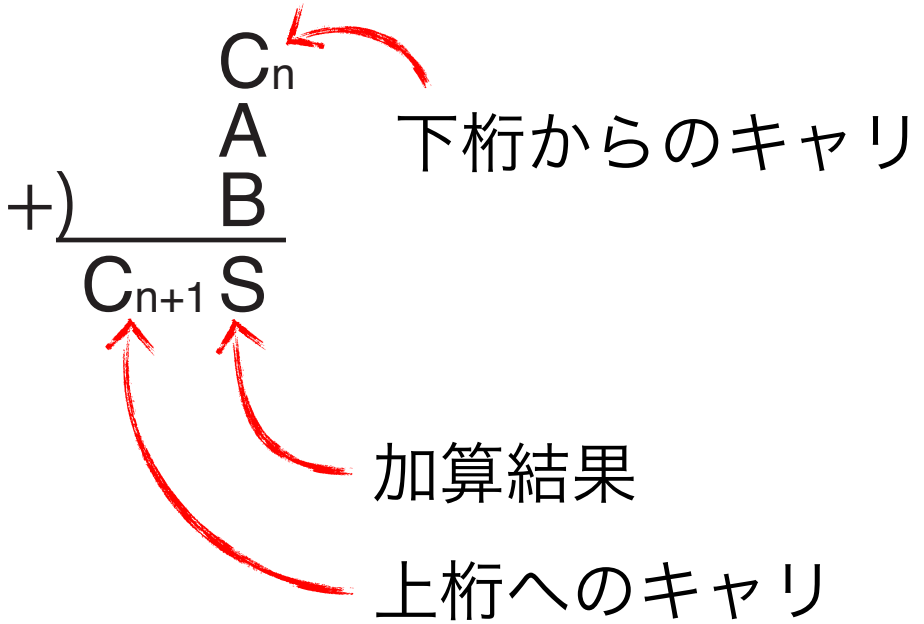
A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



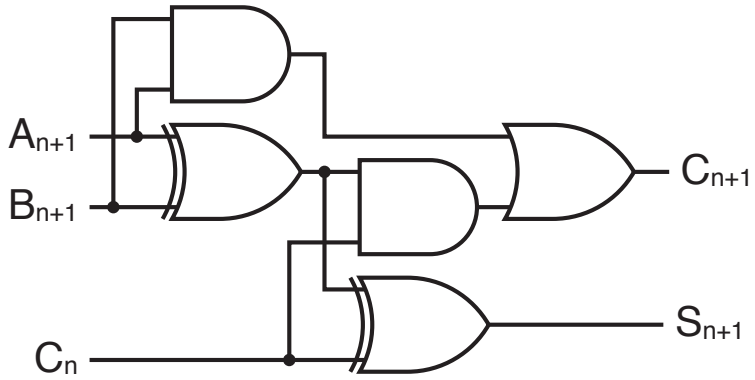
加算回路(全加算器)

教科書p84、図5.34

全加算器：3入力の1ビット加算器

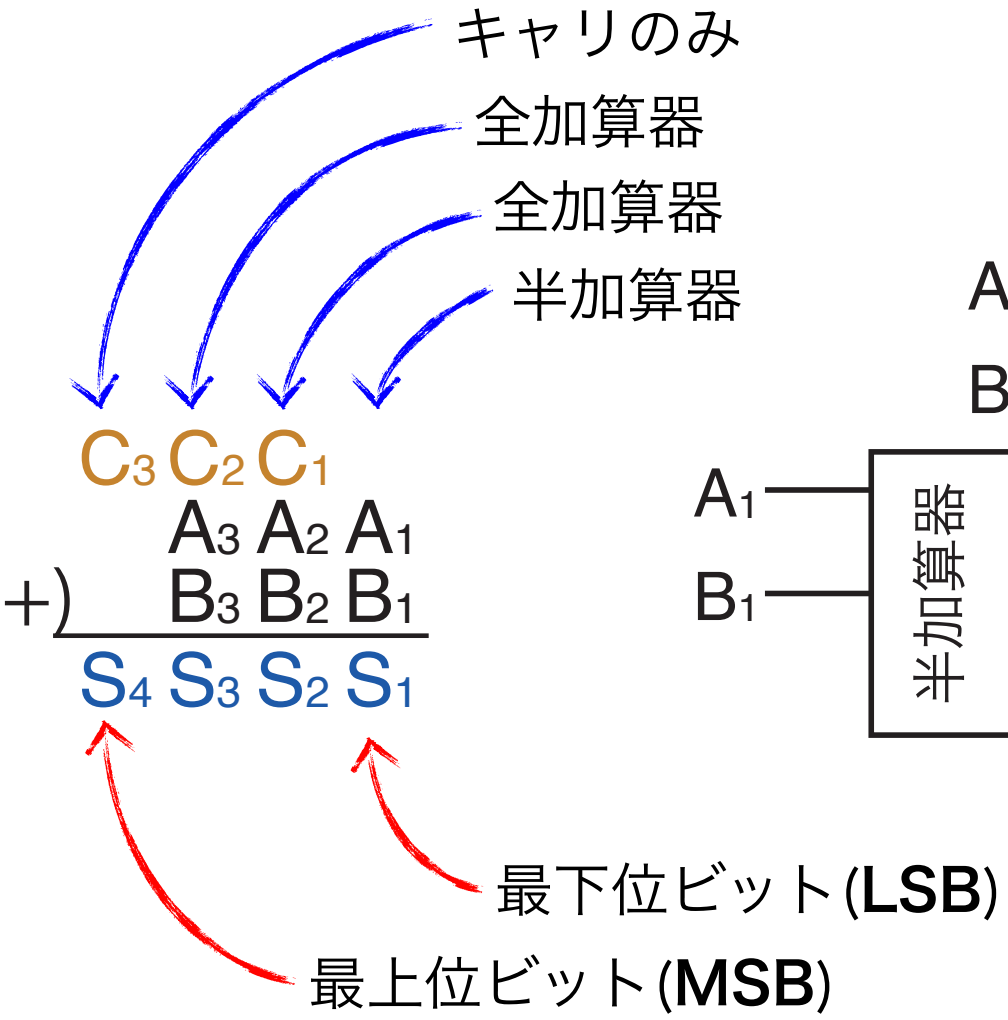


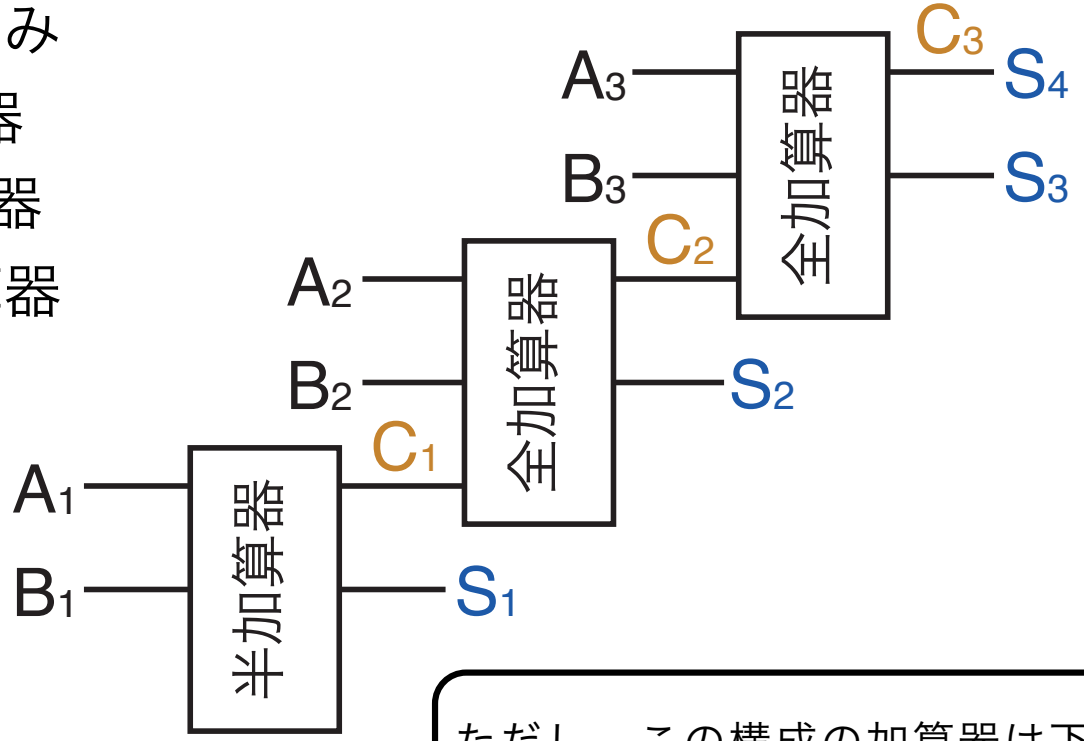
A_{n+1}	B_{n+1}	C_n	C_{n+1}	S_{n+1}
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



加算回路(複数桁)

教科書p85、図5.35

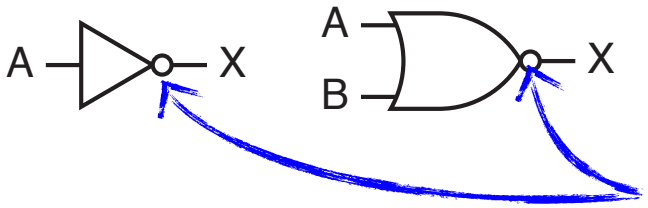




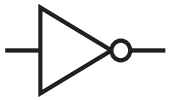
ただし、この構成の加算器は下位桁の計算が終わる(一般に1つの演算に約十nsを要する)まで次の桁の計算に進めないため、桁数が増えると演算時間が長くなる。

状態表示記号

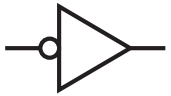
教科書p78～80、図5.26、5.27



状態表示記号(state indicator)
0/1を反転させる：前置も可

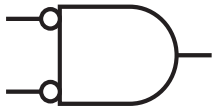
 → **入力があったら**出力が0

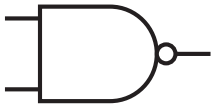
論理動作は同じだが、着目点(設計思想)が違う

 → **入力がなかったら**出力が1

→ **AあるいはBが1なら**出力が0

=

 → **AとBがともに0なら**出力が1

 → **AとBがともに1なら**出力が0

=

→ **AあるいはBが0なら**出力が1

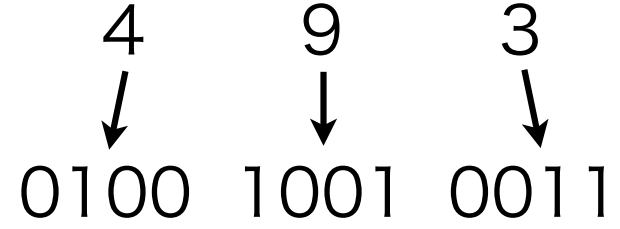
状態表示記号の前置・後置で、設計者の設計意図を回路図を読む人に伝えることができる

デジタル回路における数値表現

一般に、回路内部の計算では**二進数**が用いられるが、外部機器と情報交換する際には**BCD**符号(二進化十進数)が使われることも多い。

BCD：十進数の1桁を二進数4桁で表現

例えば、十進数で3桁の493は12(3×4)桁の二進数を用いて、以下のように書ける



6. IC論理回路

(教科書：pp89–120)

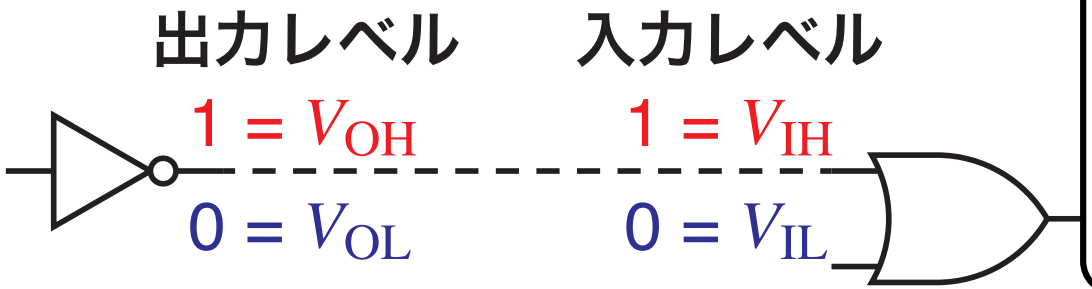
- 論理ICの基礎(TTL/CMOS)
- 論理ICの使い方

TTLとCMOS

論理ICは大きく分けて**TTL**と**CMOS**の2種類が存在する

- **TTL (Transistor Transistor Logic)**
  - **バイポーラトランジスタ**で構成
  - **電流駆動**で、入力インピーダンスが低い (入力部が抵抗と等価)
  - スイッチングが高速で、静電気に強い
  - 動作周波数によらず、消費電力が比較的大きい
  - 電源電圧(V_{CC})は**5Vのみ**で入出力レベルも1種類(**TTLレベル**)
    - TTLレベル：$V_{IL} < 0.8V$ / $V_{IH} > 2.0V$
- **CMOS (Complementary Metal Oxide Semiconductor)**
  - **MOS-FET**(金属酸化膜半導体電界効果トランジスタ)で構成
  - **電圧駆動**で、入力インピーダンスが高い (入力部がコンデンサと等価)
  - 動作が比較的低速(最近は高速タイプも普及)で、静電気に弱い
  - 低周波数だと低消費電力だが、周波数が高いと電力消費が増加
  - **幅広い電源電圧**(V_{DD} = 2V～15V程度)で動作 (IC設計に依存)
    - CMOSレベル： $V_{IL} < \sim 0.3V_{DD}$ / $V_{IH} > \sim 0.7V_{DD}$ (IC設計に依存)

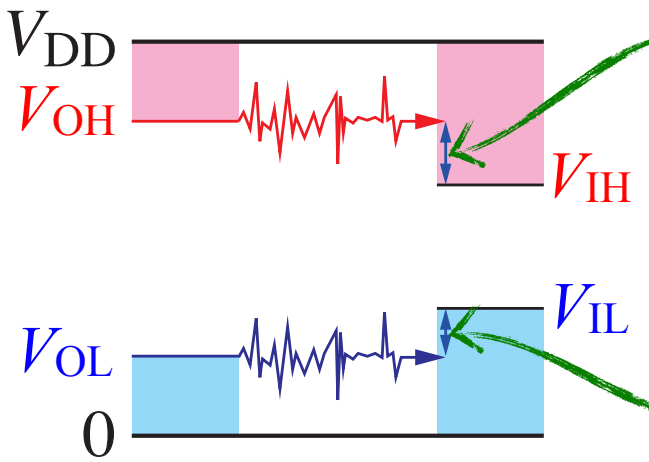
論理IC同士の接続とノイズマージン



HI/LOノイズマージンのうち、小さい方が回路としてのノイズマージン

TTL：～0.4V

CMOS：0.1～0.2V_{DD}



HI側ノイズマージン：$V_{OH} - V_{IH}$

$V_{IH} < V_{OH}$、 $V_{IL} > V_{OL}$

でないと動作しない

LO側ノイズマージン：$V_{IL} - V_{OL}$

一般に、TTL同士、同型CMOS同士の接続であれば、十分なノイズマージン(数百mV)が確保されるように設計されている。

しかし、異種論理回路同士を接続すると、誤動作したり、対ノイズ性能が著しく低下することがある(電源電圧が異なるとICを焼損することもある)。

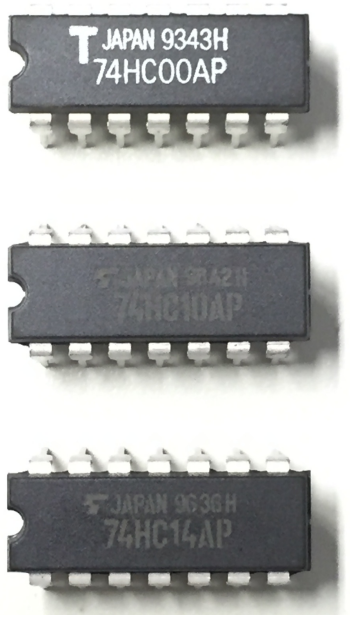
論理(ロジック)IC

- **TTLロジックIC**
  - 74シリーズ（TI社のオリジナルシリーズ、保守部品としてのみ利用）
  - **74LS**シリーズ（74機能互換の低消費電力タイプ）
- **CMOSロジックIC**
  - 4000シリーズ(RCA社のシリーズ、広電源電圧(3～18V))
  - **74HC**シリーズ（74機能互換の高速タイプ）
  - **74HCT**シリーズ（74HCの入力をTTLレベルにしたもの@V_{DD}=5V）
  - 74LVシリーズ（ 74機能互換の低電圧タイプ）

TTLレベルの入出力が必要：74LSシリーズ
TTLレベルの入力のみが必要：74HCTシリーズ
CMOSで完結する場合：74HC/LVシリーズ

74シリーズとは

- 多くは14/16ピンのICで、自作回路等ではDIP (Dual Inline Package)が多く用いられる
- 型番74XXnnのnn(2〜3桁の数字)が機能を表しており、同じ番号であれば原則としてメーカー、種類に関わらずピン配置も同じ
- IC内部の回路の例は教科書 図6.2等を参照

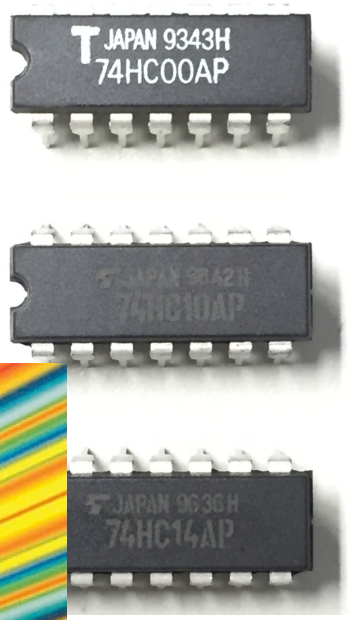


DIPの74シリーズの例

7400：Quad 2-Inputs NAND Gates (2入力NANDゲート×4個入)
7404：Hex Inverters (NOTゲート×6個入)
7410：Triple 3-Inputs NAND Gates (3入力NANDゲード×3個入)
7414：Hex Schmitt-Trigger Inverters (シュミットトリガNOTゲート×6個入)
7420：Dual 4-Inputs NAND Gates (4入力NANDゲード×2個入)

74シリーズとは

- 多くは14/16ピンのICで、自作回路等ではDIP (Dual Inline Package)が多く用いられる
- 型番74XXnnのnn(2～3桁の数字)が機能を表しており、同じ番号であれば原則としてメーカー、種類に
- IC内



7400：

7404：

7410：

7414：ゲート×6個入)

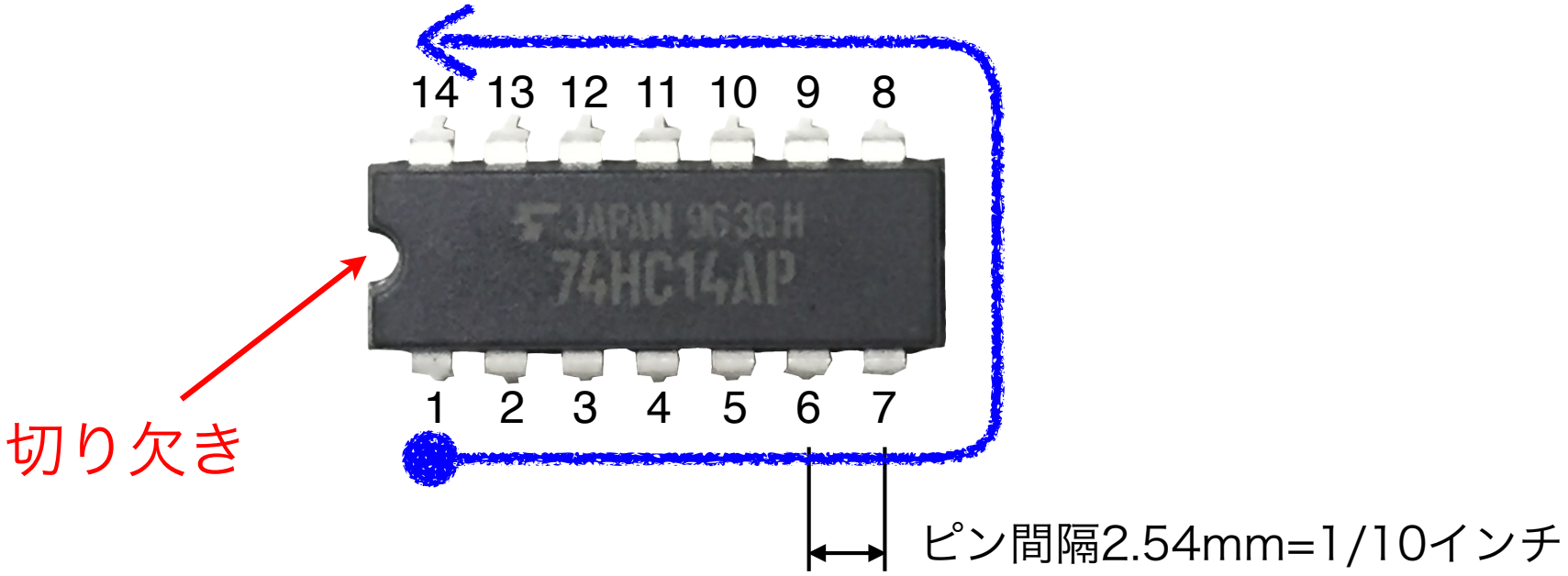
7420：

論理ICを用いた設計の基本

- 電源は通常+5Vの単電源 (CMOSを用いる場合、最近は電池駆動で3Vといった場合も多い)
- 未使用の入力端子は必ずGNDか5Vに接続
- 出力端子同士を接続してはいけない (結線論理IC(後述)を除く)
- 伝搬遅延時間のずれによるハザード(異常出力)対策が必要
- アナログ回路との接続では、入力電流、出力電流を考慮する
- 一つの出力から分岐できる個数(ファンアウト)を考慮する

論理ICのピン番号とピン配置

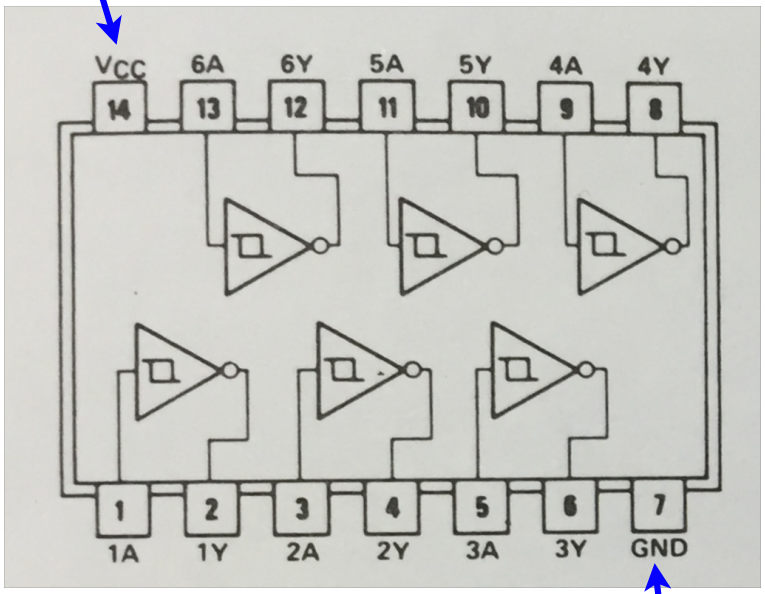
DIP (Dual Inline Package)



論理ICのピン番号とピン配置

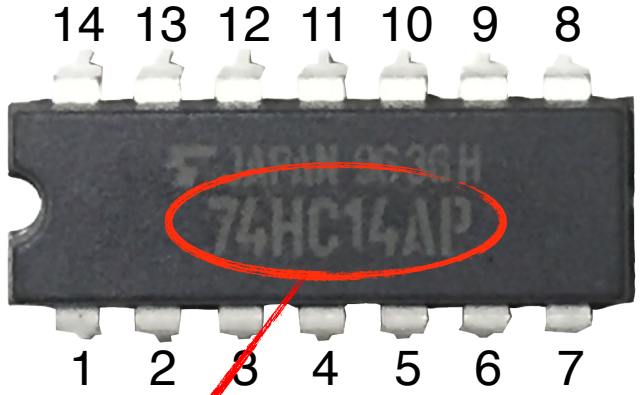
各ピンの意味は、規格表に載っている

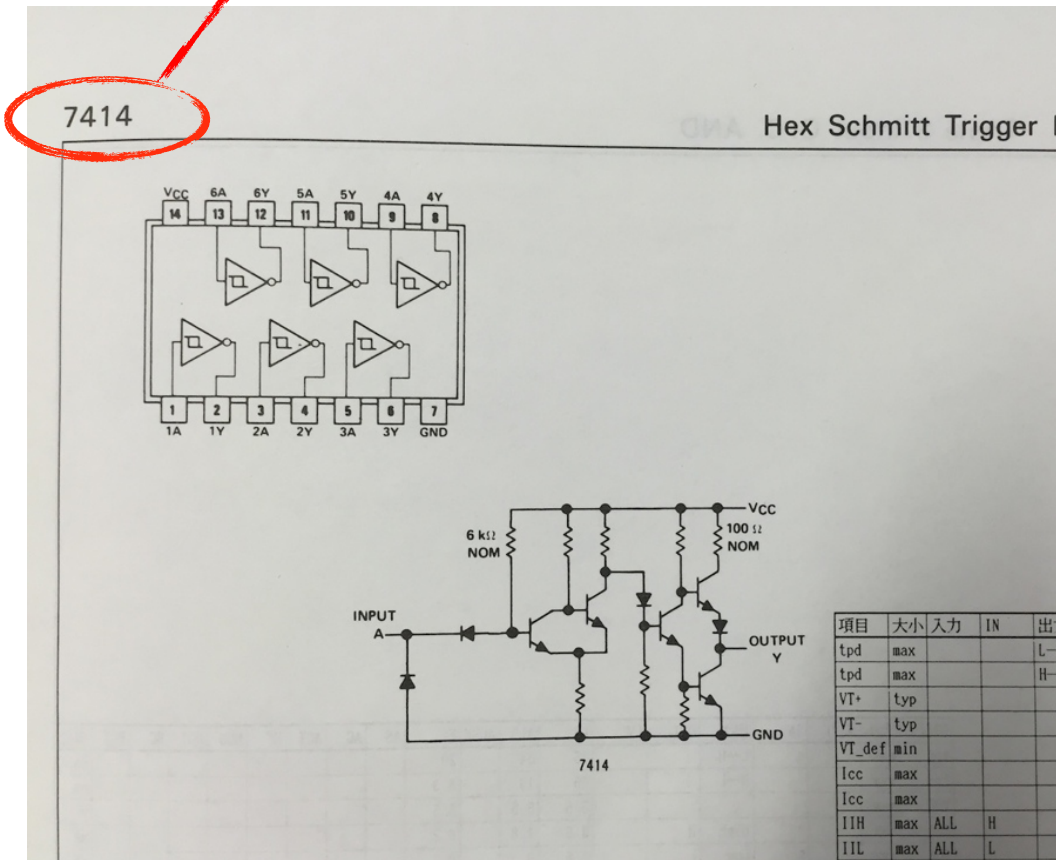
Vcc=電源(TTLだと5V)



GND=接地

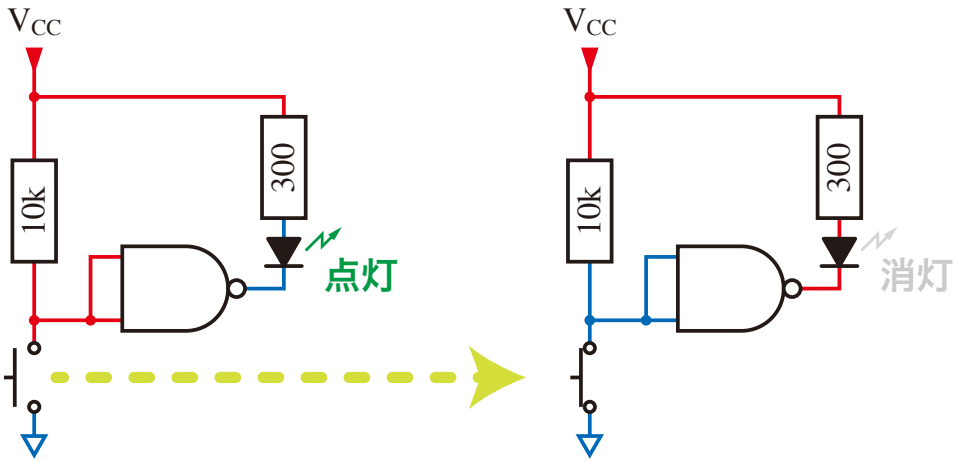
電源ピンの位置は、型番によって異なるので、必ず規格表で確認すること

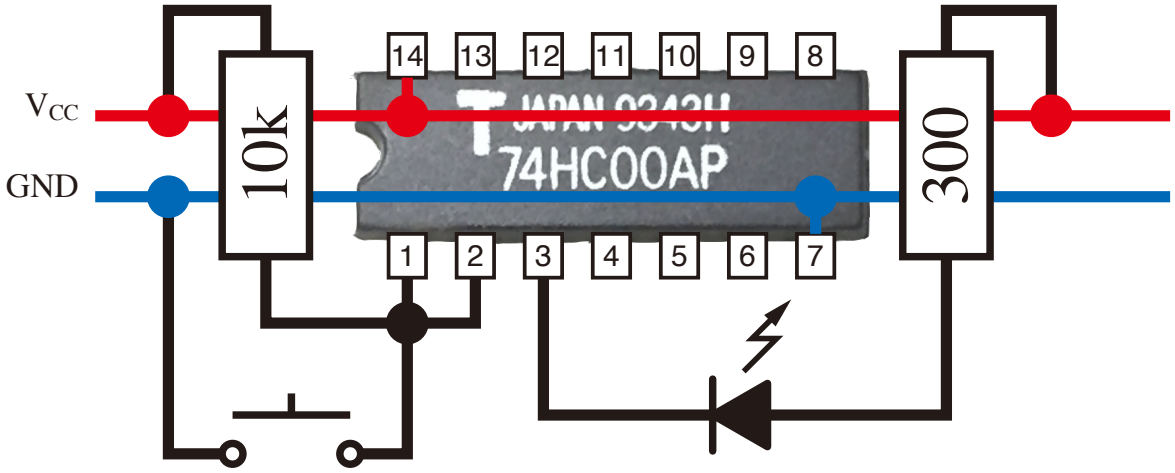


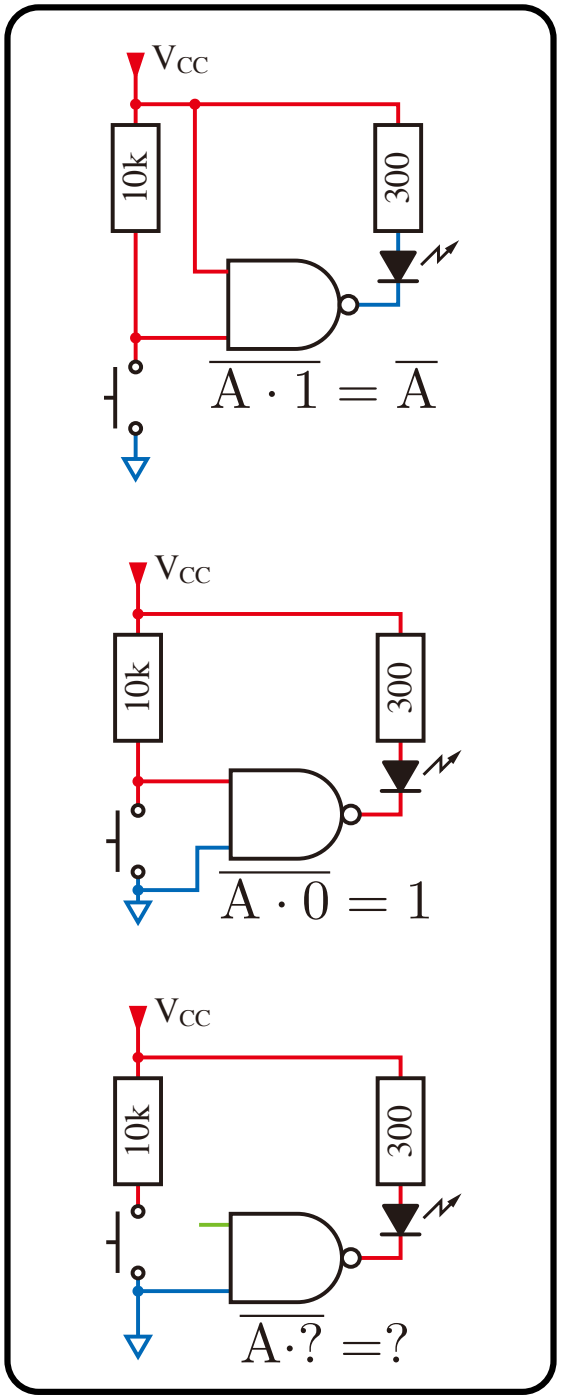


回路の実例(NOT回路)

スイッチONでLED消灯

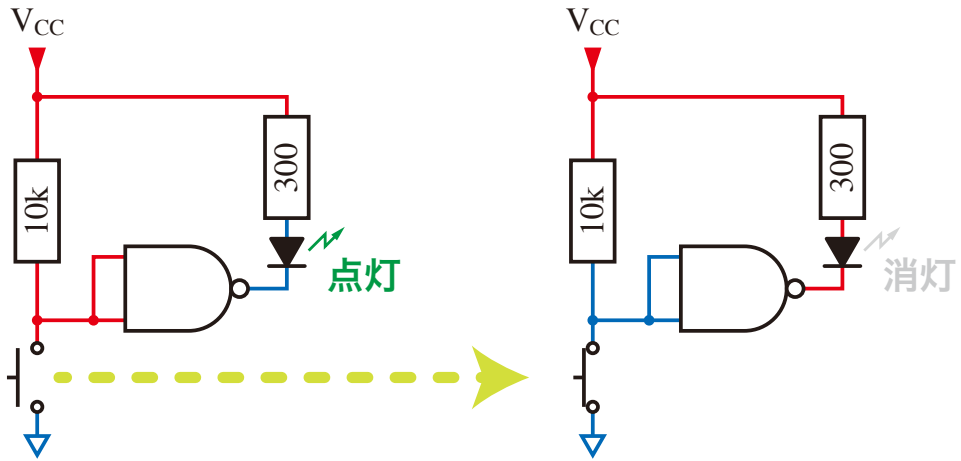


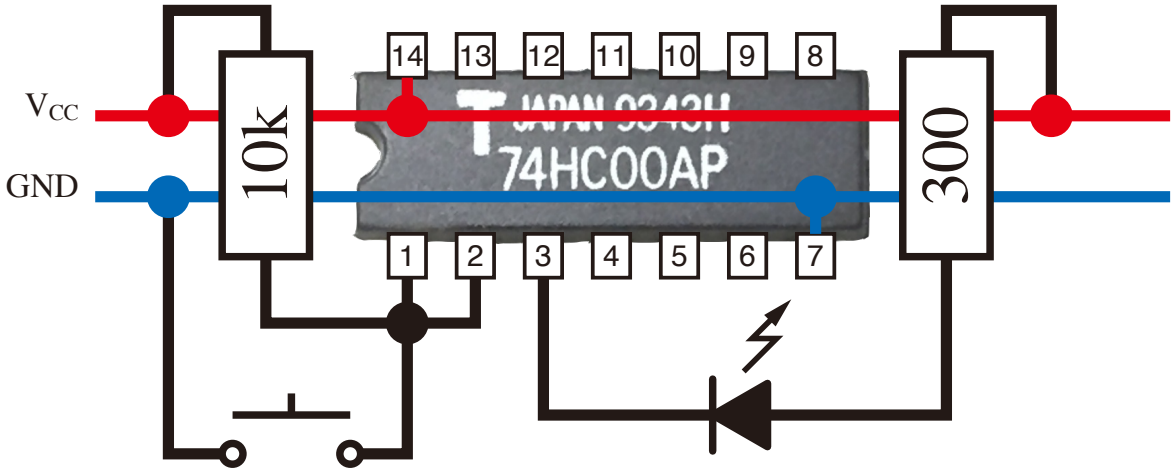


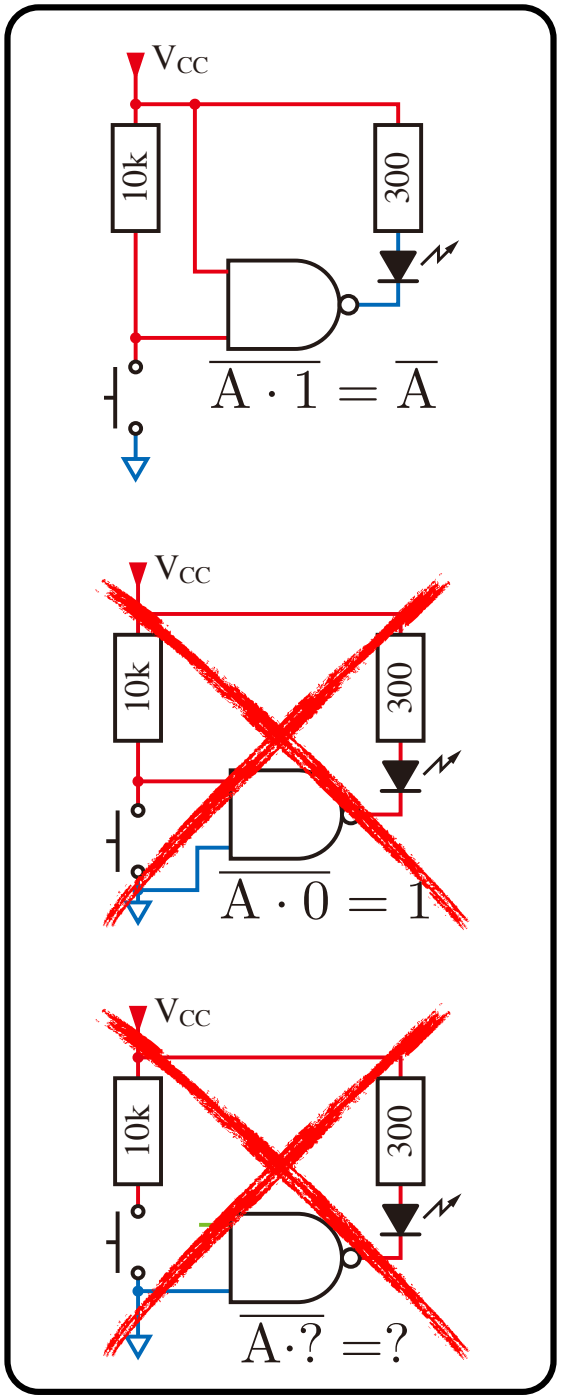


回路の実例(NOT回路)

スイッチONでLED消灯

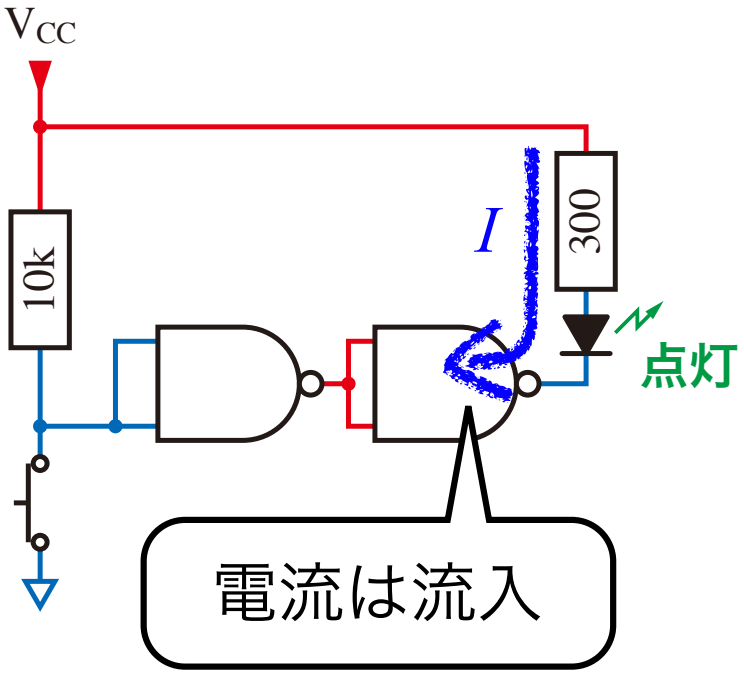


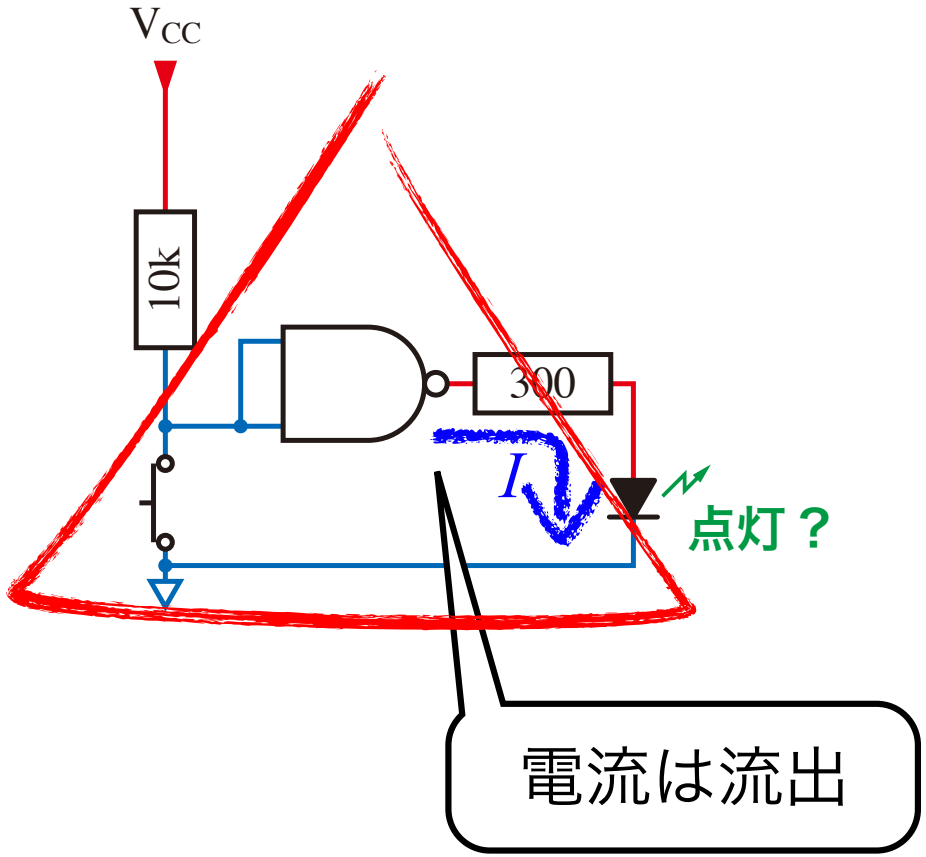




回路の実例(NOT回路)

スイッチONでLED点灯





$I=E/R=(5-0.7)/300 \fallingdotseq 14$ mA

ダイオードの電圧降下

一般に、TTL ICの出力電流の上限は、

I_{OH}=400μA(流出)、I_{OL}=16mA(流入)

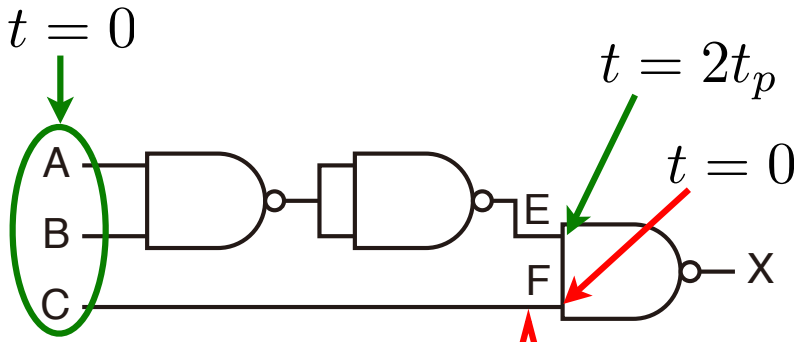
(CMOSは双方とも数mA)

更に大きな電流が必要であれば、トランジスタ等による電流増幅が必要

伝搬遅延時間によるハザードとその回避

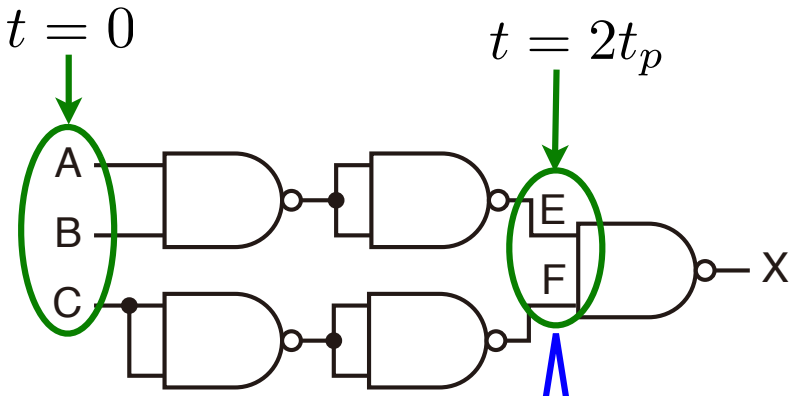
教科書p98、図6.13

$X = \overline{A \cdot B \cdot C}$ 三入力NANDの例



A/BからEまでのゲート数(2)と
CからFまでのゲート数(0)が異なる

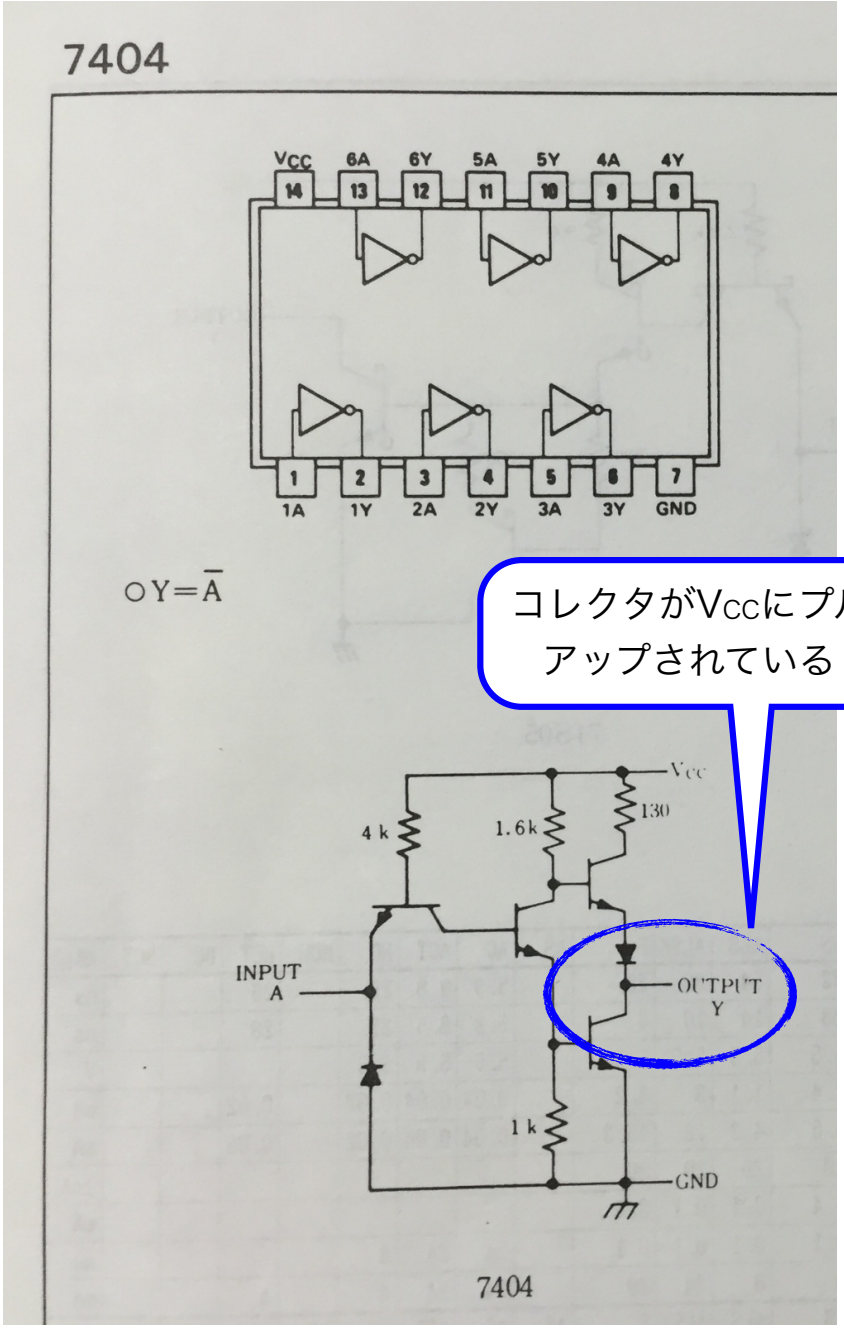
信号到達時間のずれによって、正しい
結果が得られない瞬間が存在する
→ **ハザード**

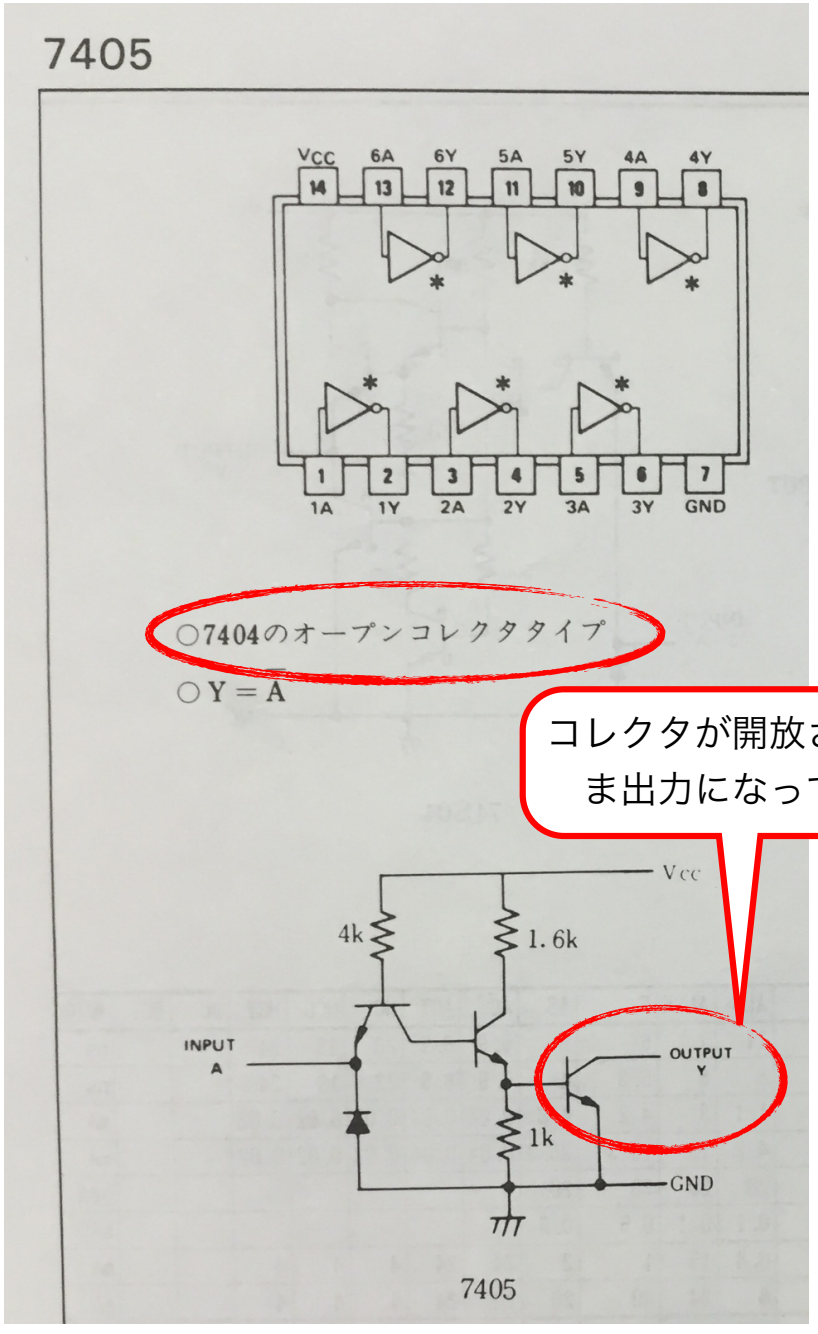


A/BからEまでのゲート数(2)と
CからFまでのゲート数(2)が等しい

オープンコレクタ出力

教科書p101、図6.15～22

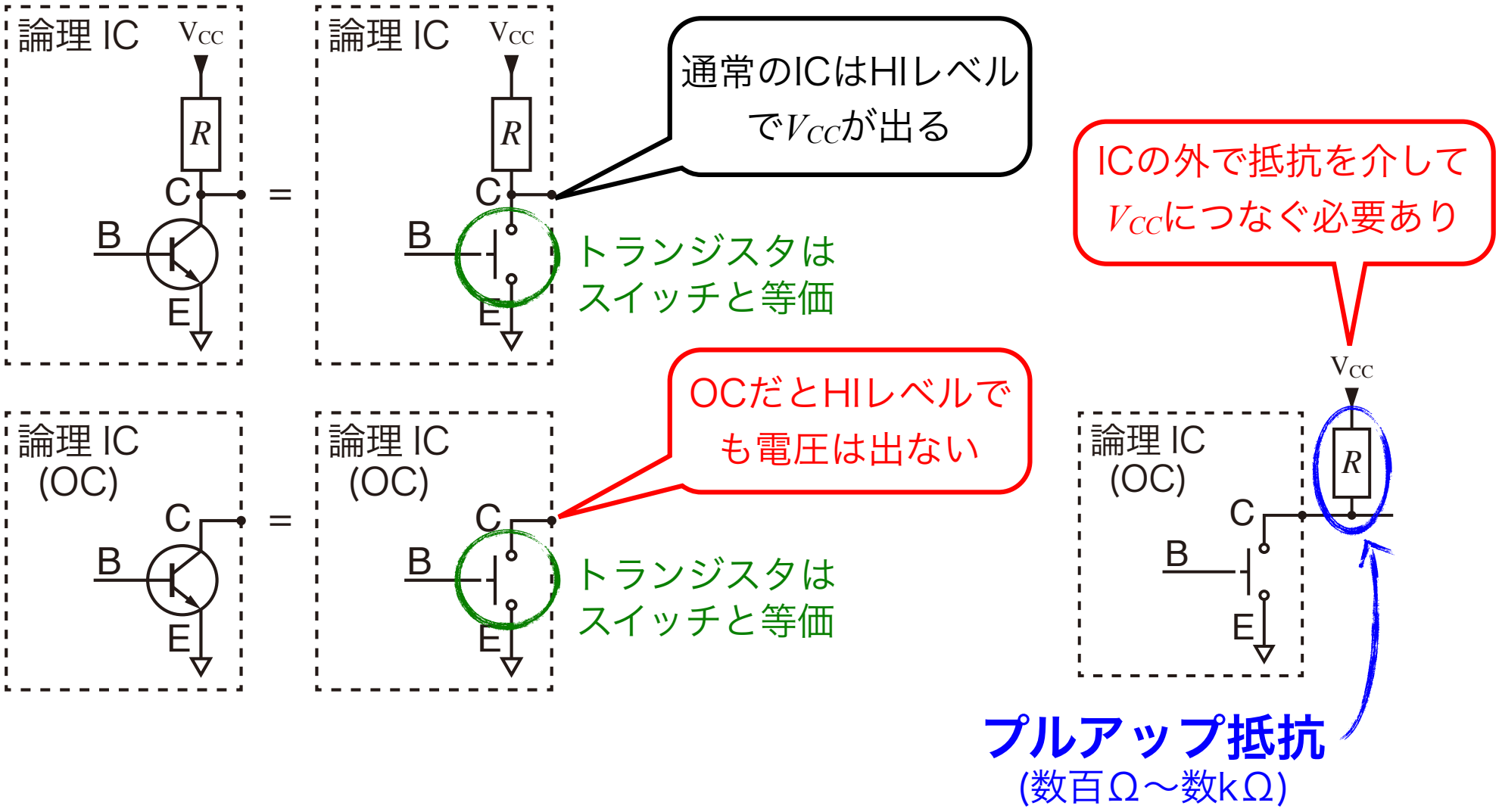




オープンコレクタ出力

オープンコレクタ出力の動作と基本的な使い方

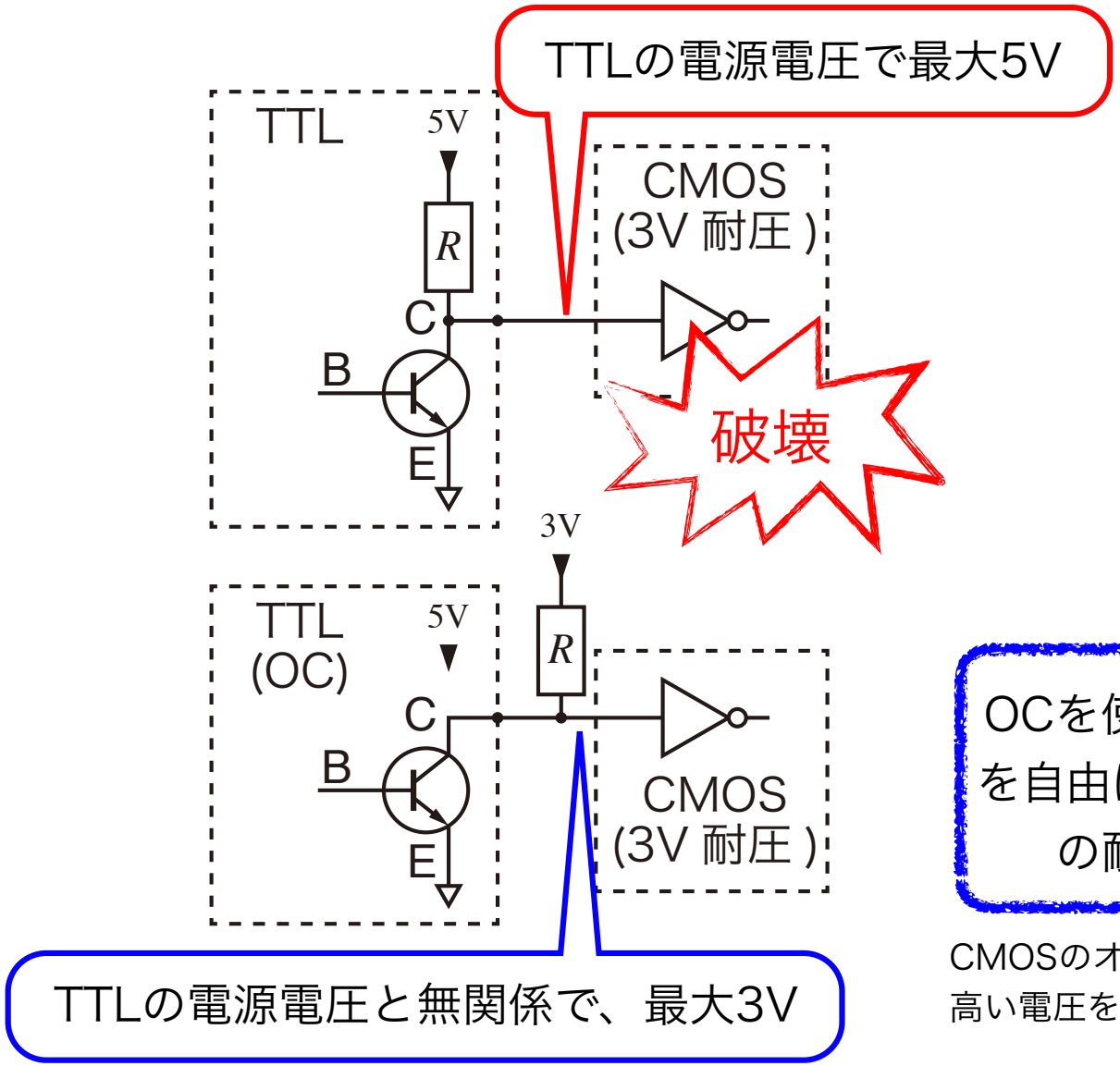
教科書p101、図6.16～22



オープンコレクタ出力

オープンコレクタICの使い方(その1：レベル変換)

教科書p101、図6.16～22



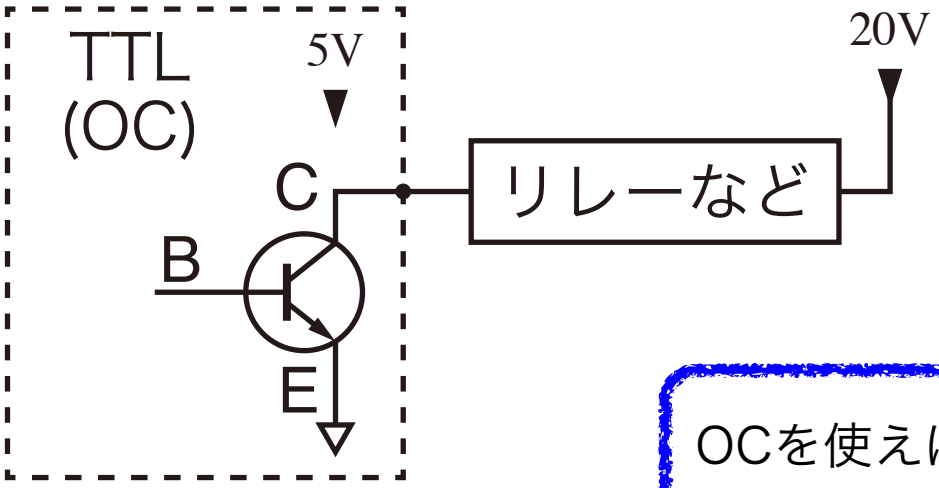
OCを使えば、出力電圧レベルを自由に設定できる(ただしTTLの耐圧30V程度が上限)

CMOSのオープンドレインタイプは電源より高い電圧を加えられないことが多いので注意

オープンコレクタ出力

オープンコレクタICの使い方(その2：ドライブ機能)

教科書p101、図6.16～22



OCを使えば、5V以上の電圧で駆動する機器を直接ドライブできる。但し、出力電流(流入16mA)の制限は残る。また、TTLの耐圧30V程度が上限。

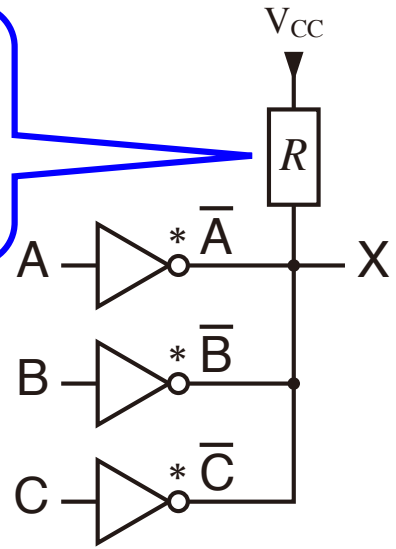
CMOSのオープンドレインタイプは電源より高い電圧を加えられないことが多いので注意

オープンコレクタ出力

オープンコレクタICの使い方(その3：**結線論理回路**)

教科書p102、図6.18～19

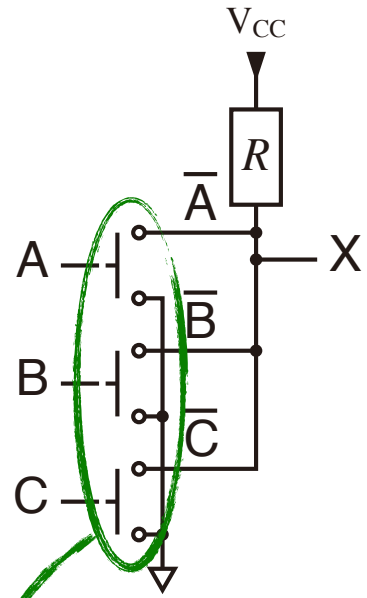
オープンコレクタ出力同士を直結し、プルアップ抵抗で電源につなぐ



この回路は、

$\overline{A} \cdot \overline{B} \cdot \overline{C} = \overline{A + B + C}$

すなわち、3入力NOR回路として機能する



全てのスイッチがOFFのときのみ、Xは1

$\rightarrow X = \overline{A} \cdot \overline{B} \cdot \overline{C}$

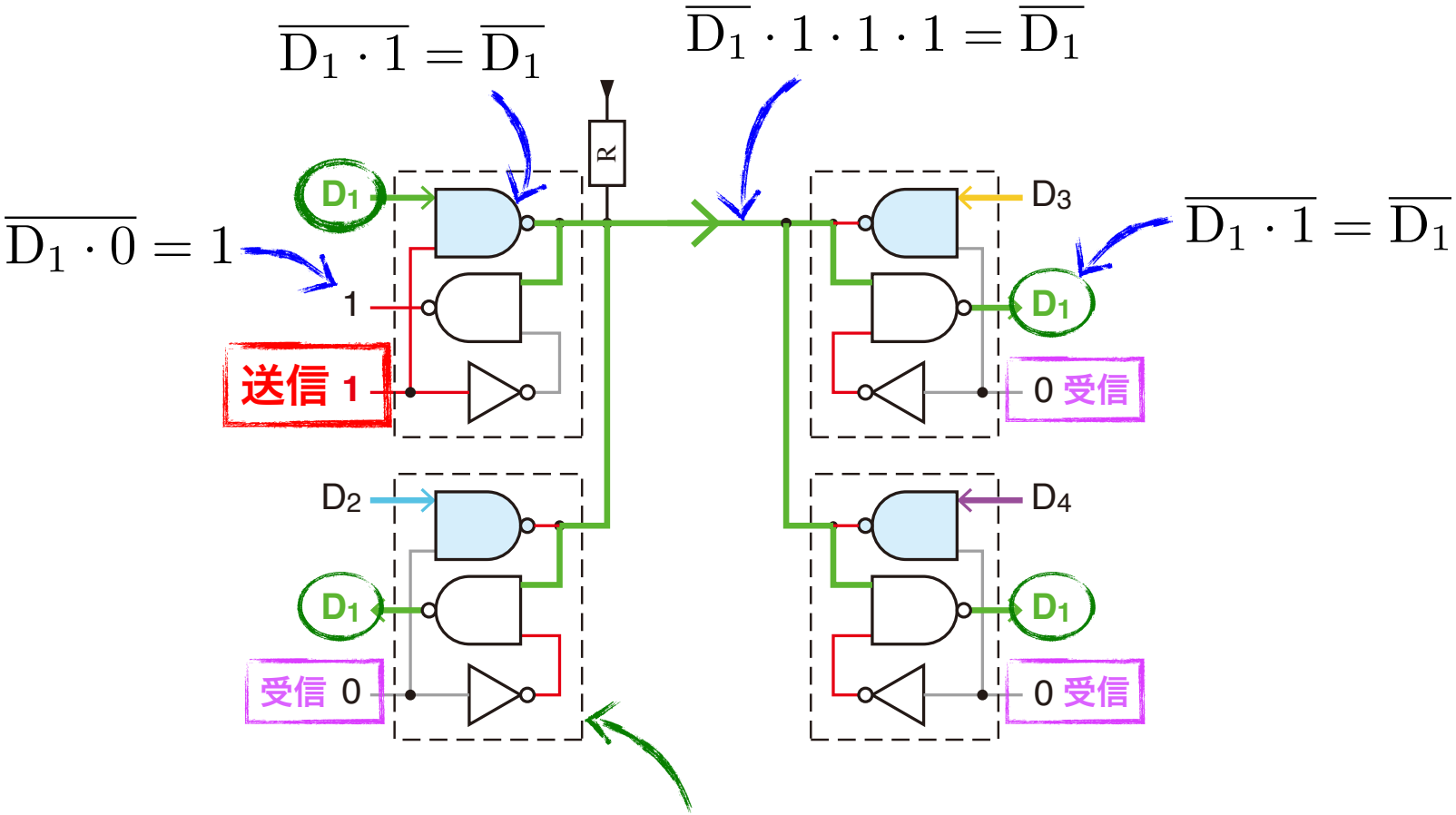
すなわち、**出力同士のAND**

結線論理

オープンコレクタ出力

オープンコレクタICの使い方(その4：**双方向回路**)

教科書p104、図6.20～22



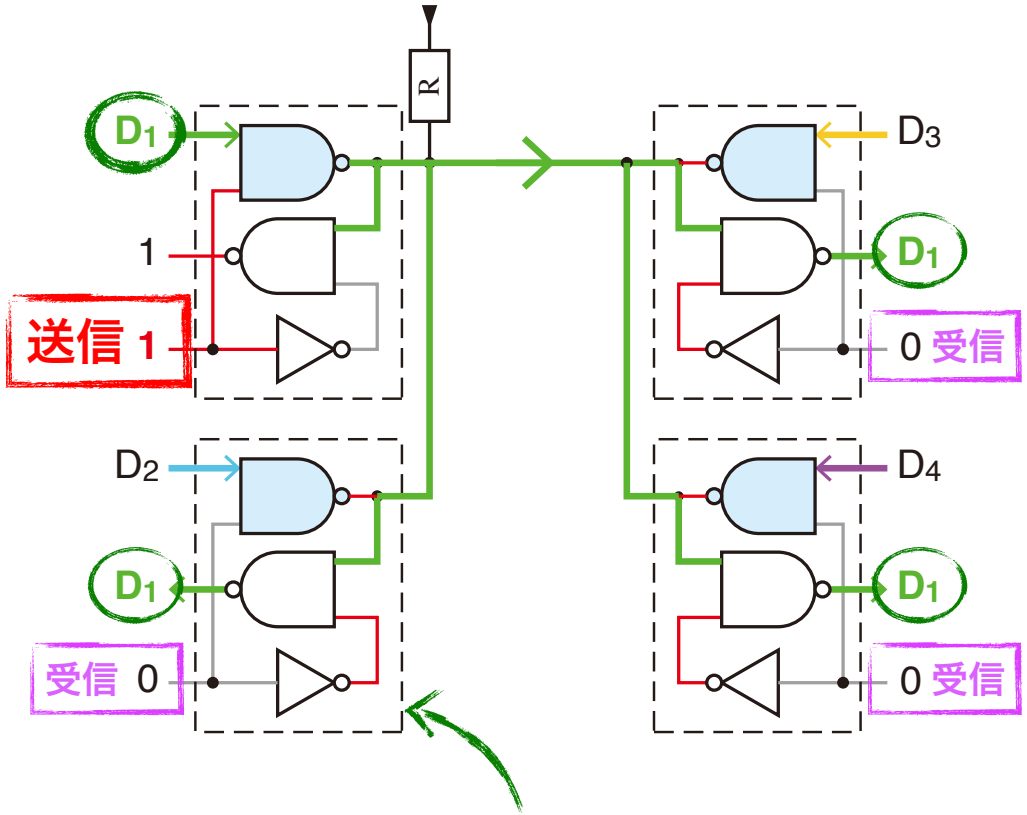
トランシーバ(transceiver)回路

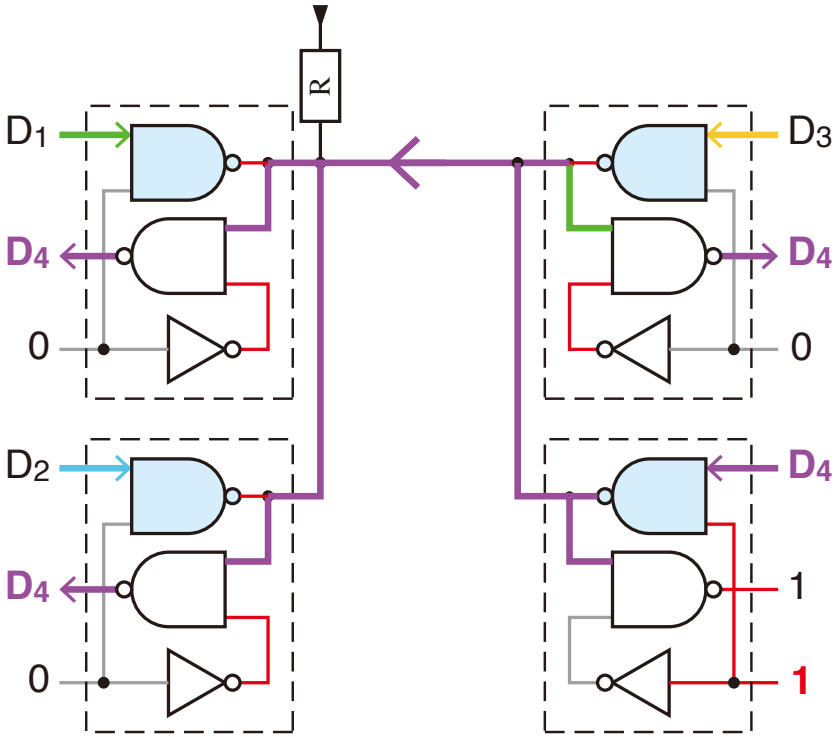
(送信器(transmitter)+受信器(receiver))

オープンコレクタ出力

オープンコレクタICの使い方(その4：**双方向回路**)

教科書p104、図6.20～22





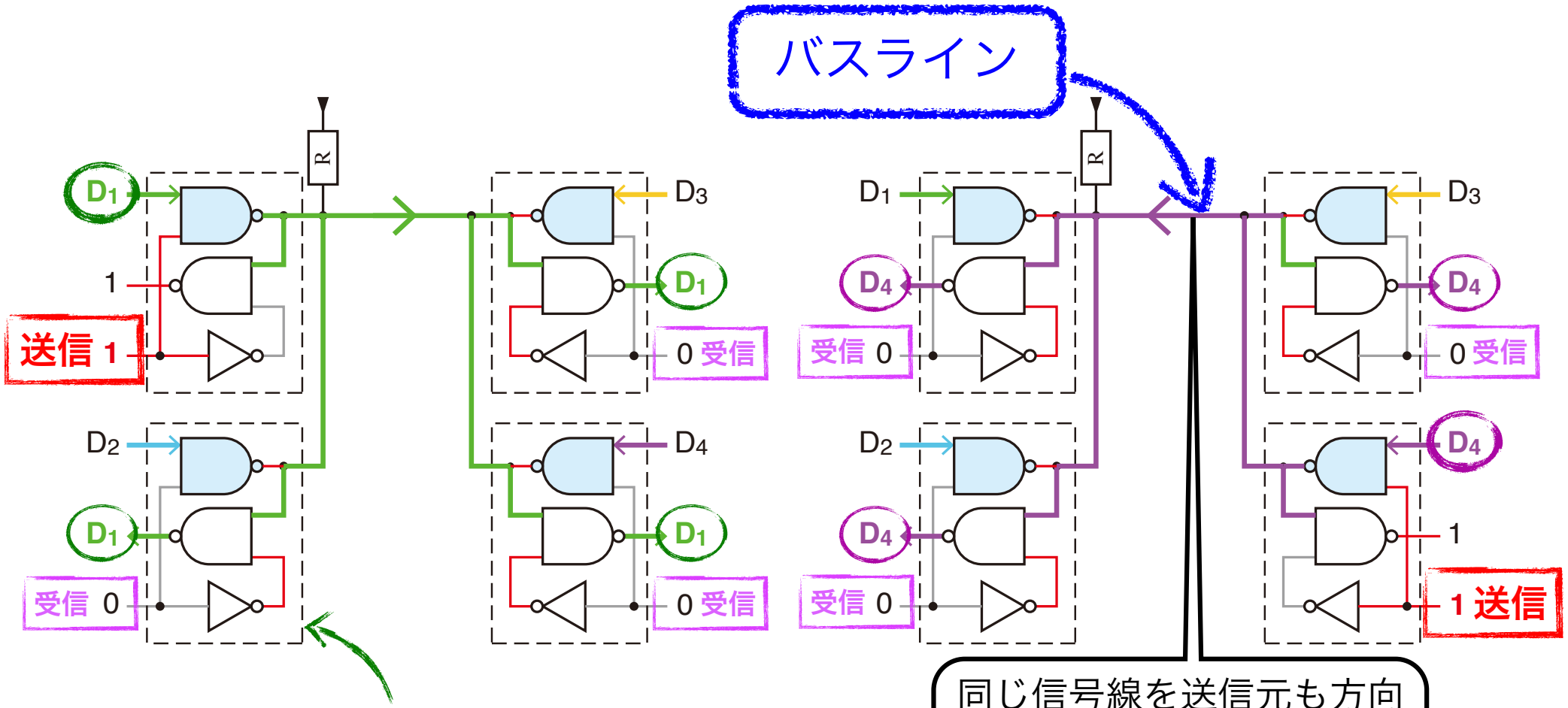
トランシーバ(transceiver)回路

(送信器(transmitter)+受信器(receiver))

オープンコレクタ出力

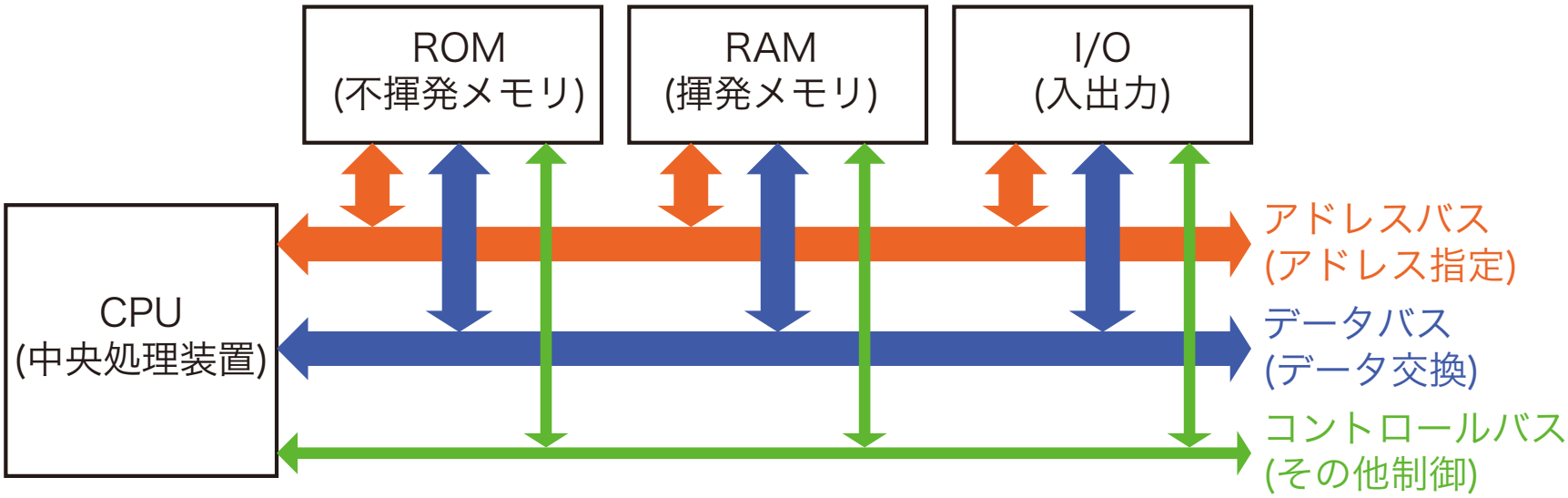
オープンコレクタICの使い方(その4：**双方向回路**)

教科書p104、図6.20～22

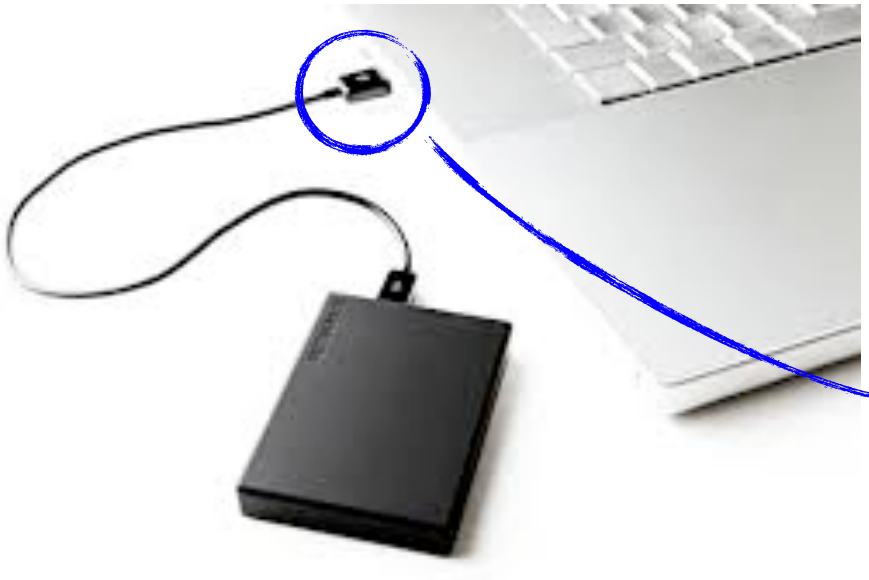


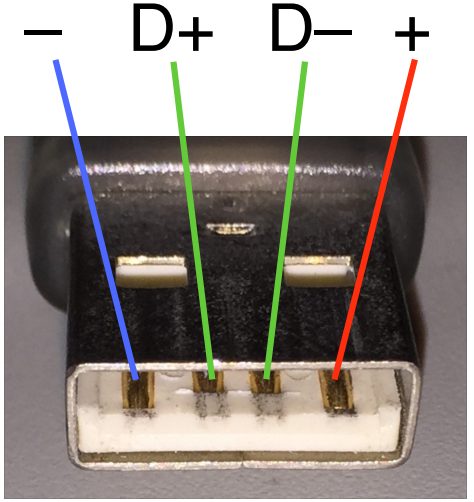
バスライン

パソコン内のバスライン



USB = Universal Serial Bus

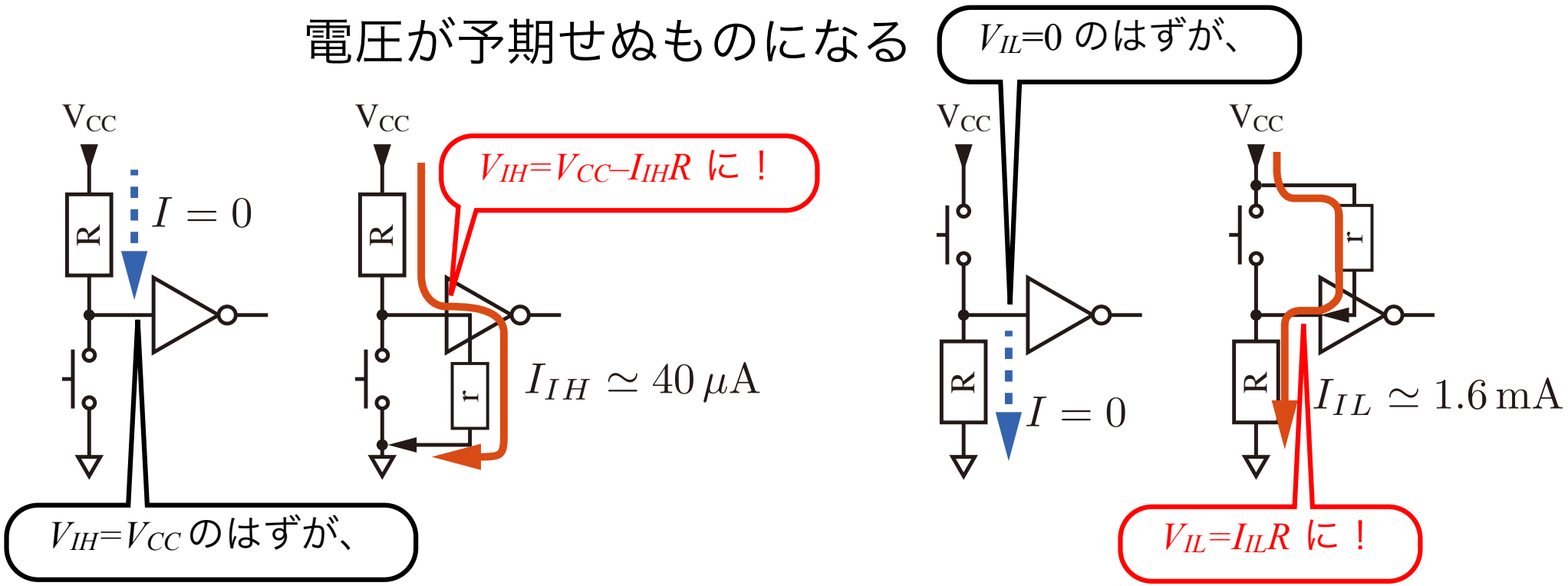




入力電流による値の変動

教科書p115、図6.35～36

- TTLは入力インピーダンスが比較的低いため、入力に大きな電流(I_{IH}～40μA、I_{IL}～1.6mA)が流れる
  →入力電流で入力抵抗に電位差を生じ、入力点の電圧が予期せぬものになる

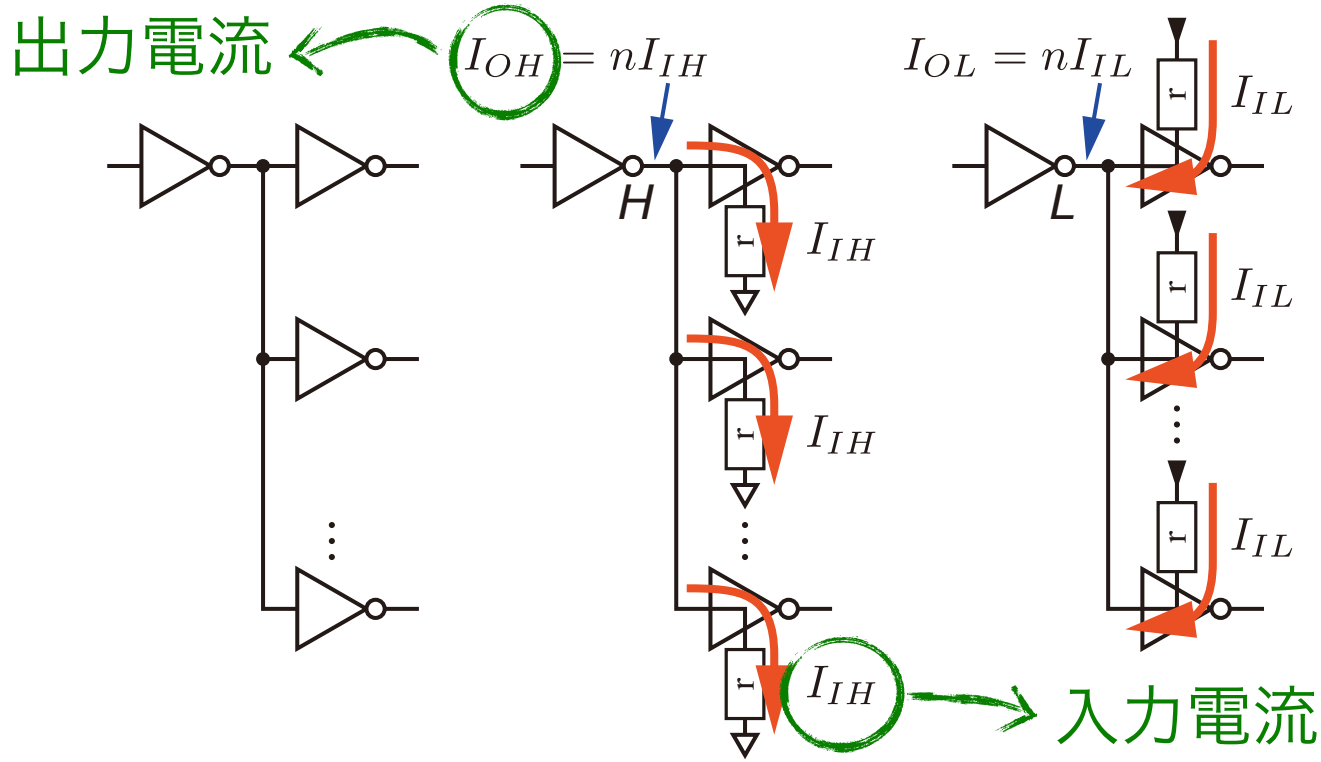


CMOSはI_{IH}、I_{IL}ともに1μA程度なので、影響は少ない

TTLの入出力電流とファンアウト

教科書p116、図6.37～38

ファンアウト：出力端子に接続される入力端子の数(分岐数)

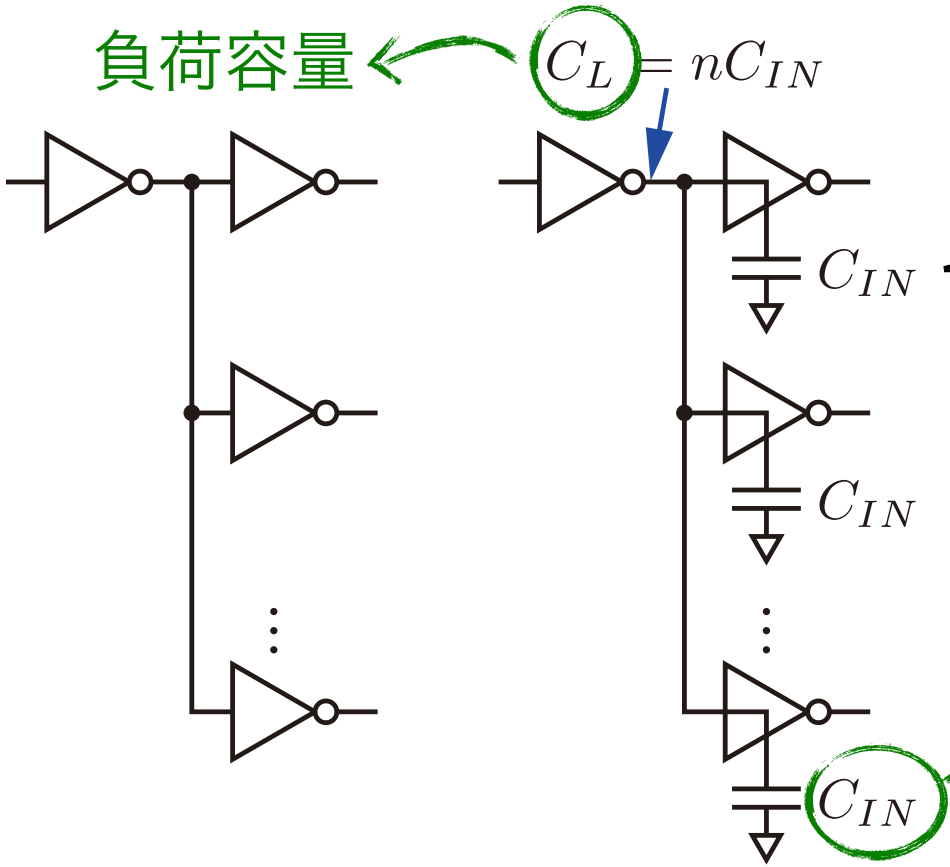


ファンアウトの上限は、I_{OH}/I_{IH}とI_{OL}/I_{IL}の小さい方

一般的なTTL ICの場合は n=10

CMOSのファンアウト

CMOSの場合は、入力容量がファンアウトを制限



入力がH→L、L→Hに変化したとき、
コンデンサの電荷が充放電される

C_Lが大きく(>50pF)なりすぎると、
伝搬遅延時間が保証値を超えてしまう

C_{IN}は6～10pFなので、CMOS ICの
ファンアウトの上限は $n = 5$～8

7. 記憶回路

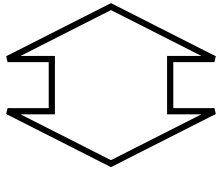
(教科書：pp121–140)

- 記憶回路(順序回路)と組合わせ回路
- 基本的な記憶回路の動作
- フリプフロップ

記憶回路(順序回路)とは

過去の入力の履歴で出力が決まる回路

→ **順序回路**

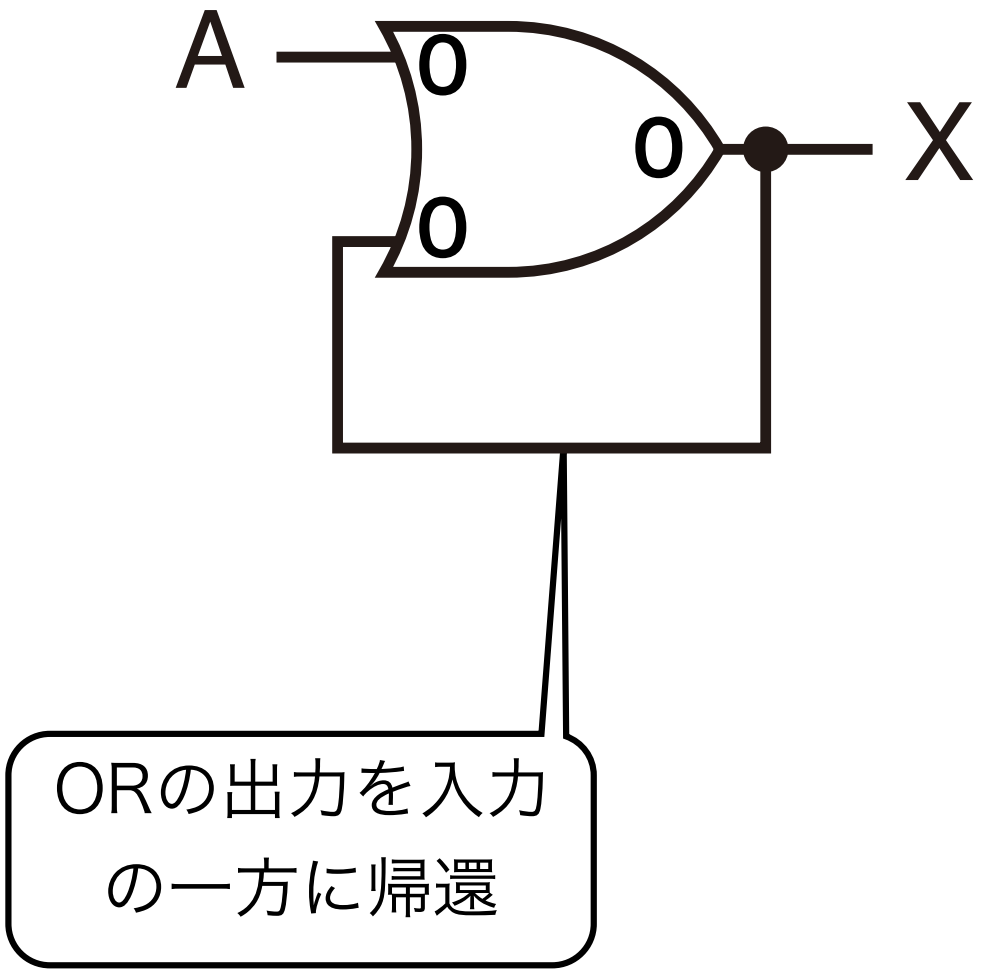


現在の入力状態で出力が決まる回路

→ **組合わせ回路**

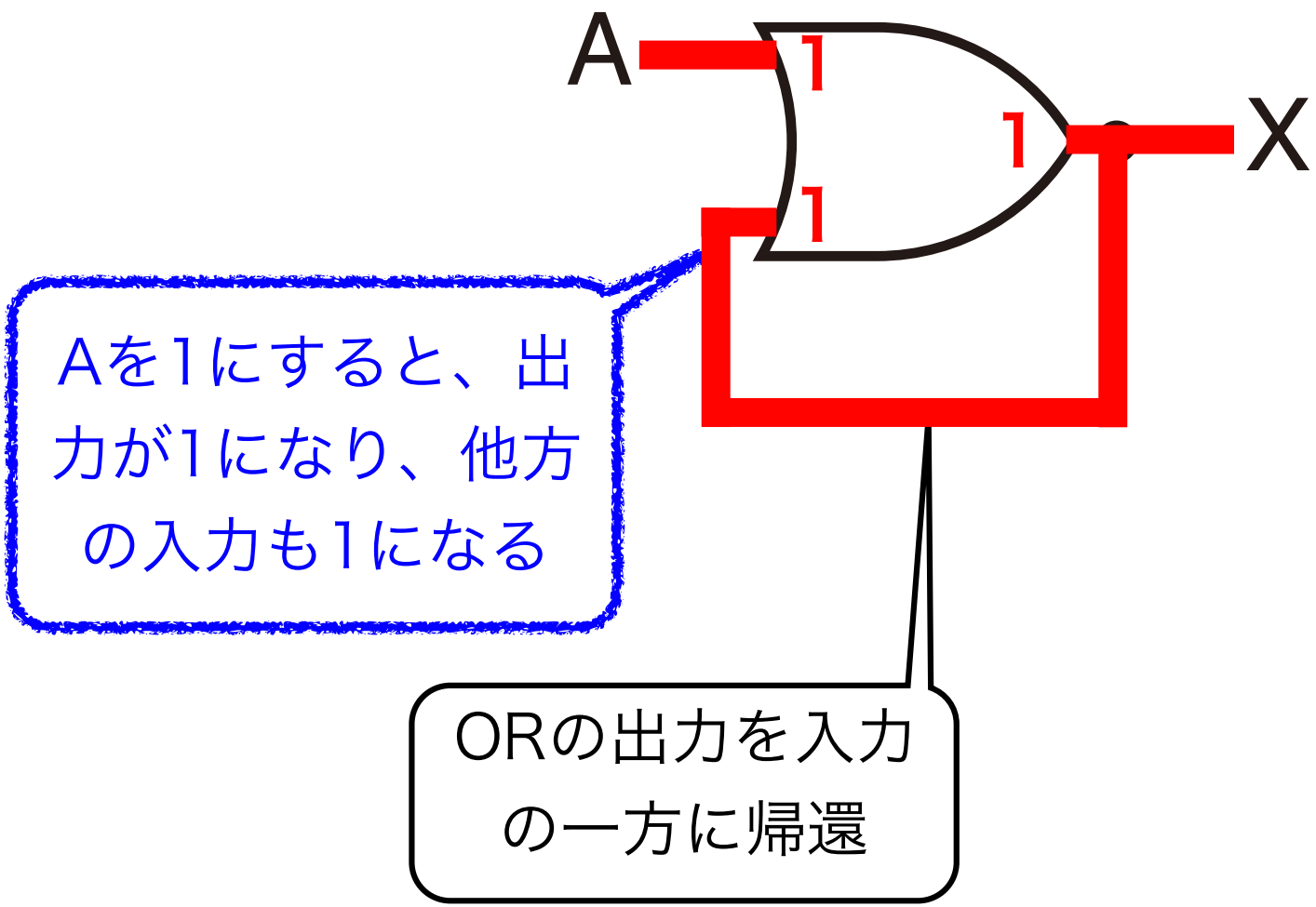
単純な記憶回路

(教科書p123、図7.3)



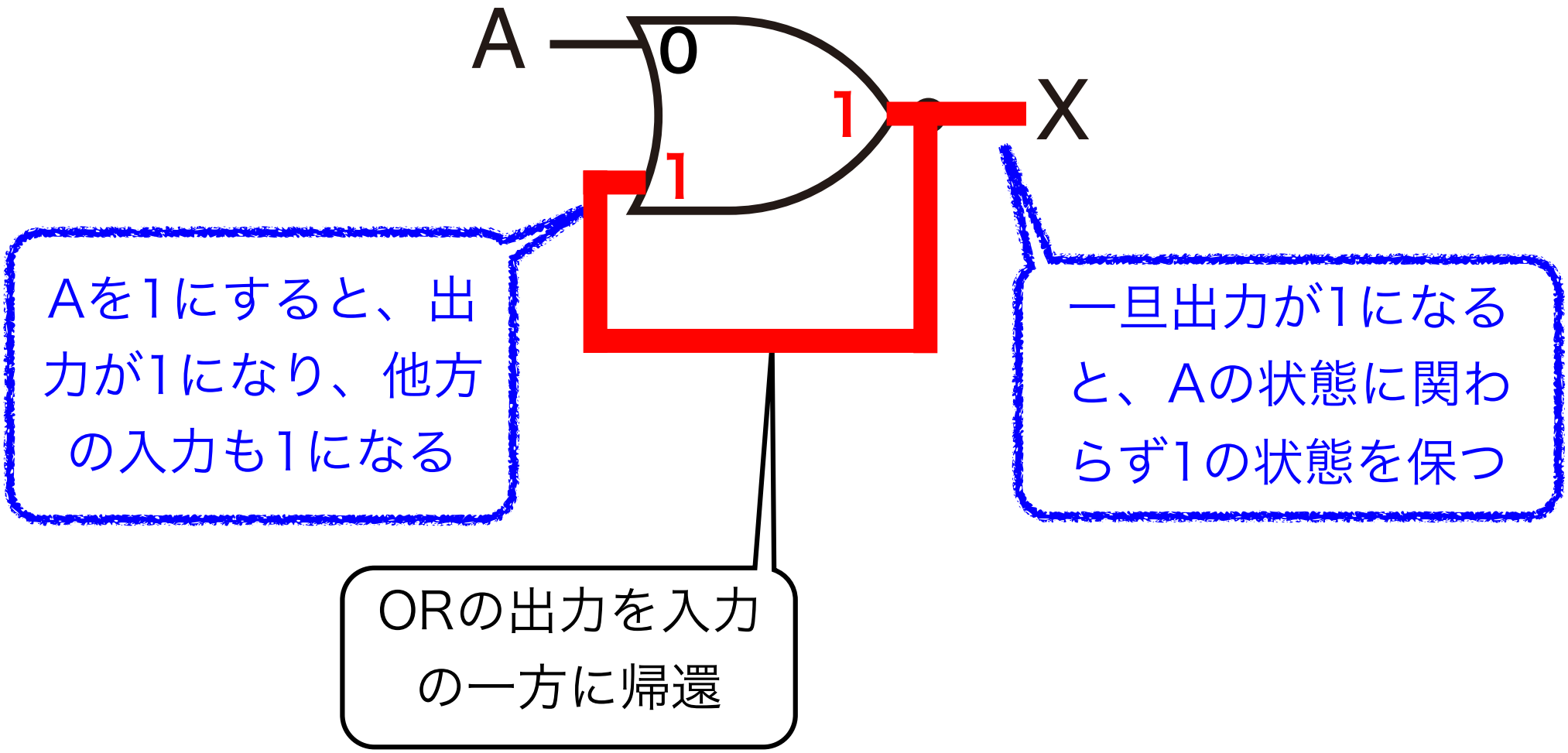
単純な記憶回路

(教科書p123、図7.3)



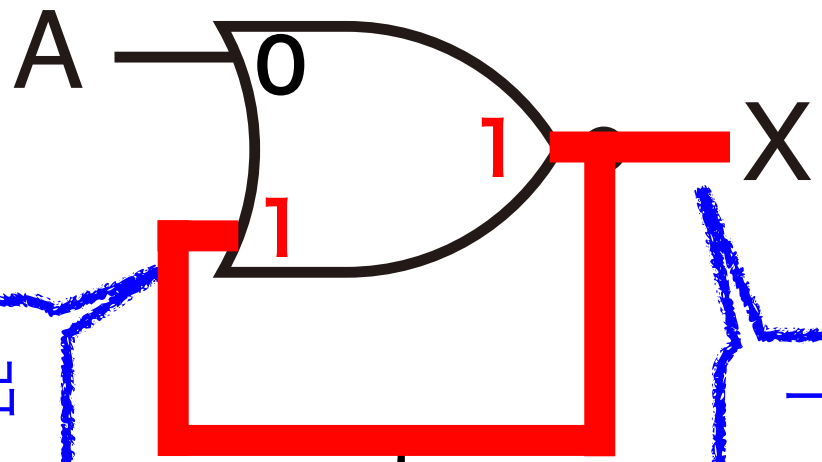
単純な記憶回路

(教科書p123、図7.3)



単純な記憶回路

(教科書p123、図7.3)



Aを1にすると、出力が1になり、他方の入力も1になる

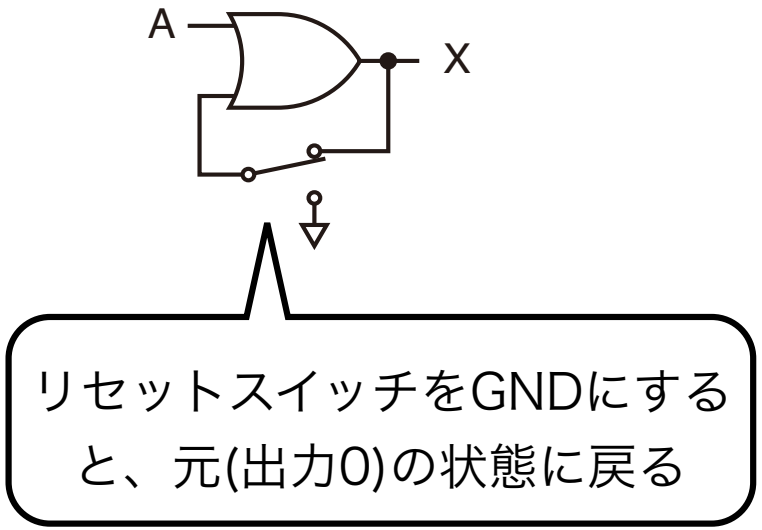
一旦出力が1になると、Aの状態に関わらず1の状態を保つ

ORの出力を入力の一方に帰還

電源Offまでそのまま！

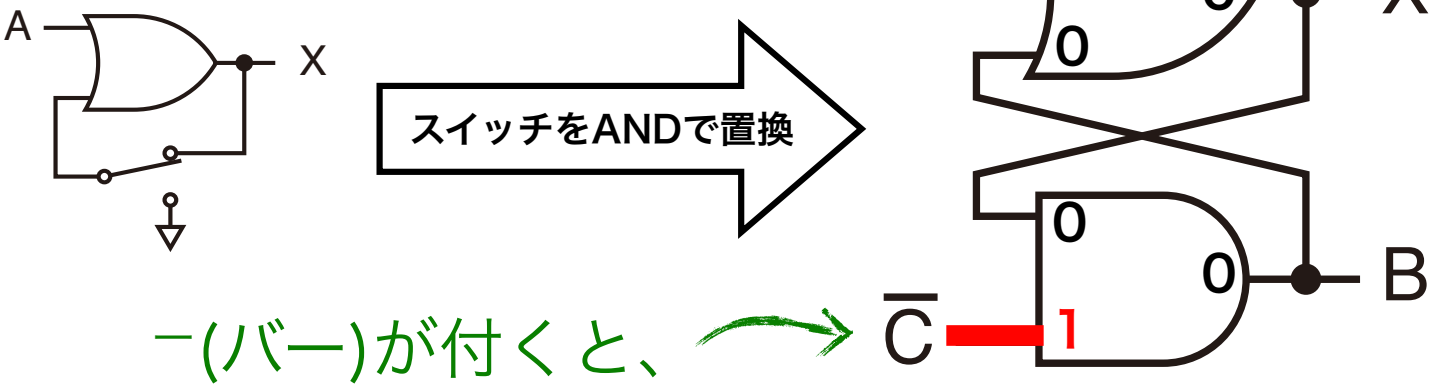
リセット機構を持つ記憶回路

教科書p123、図7.4、7.5

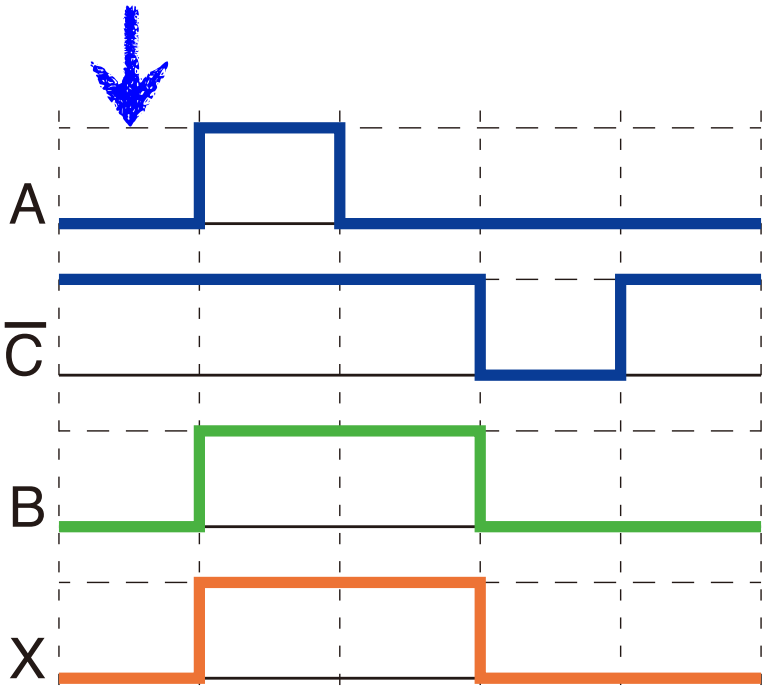


リセット機構を持つ記憶回路

教科書p123、図7.4、7.5



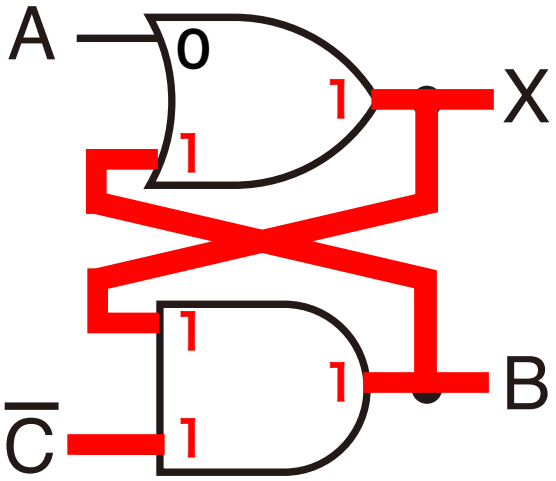
¯(バー)が付くと、
0のとき信号入力



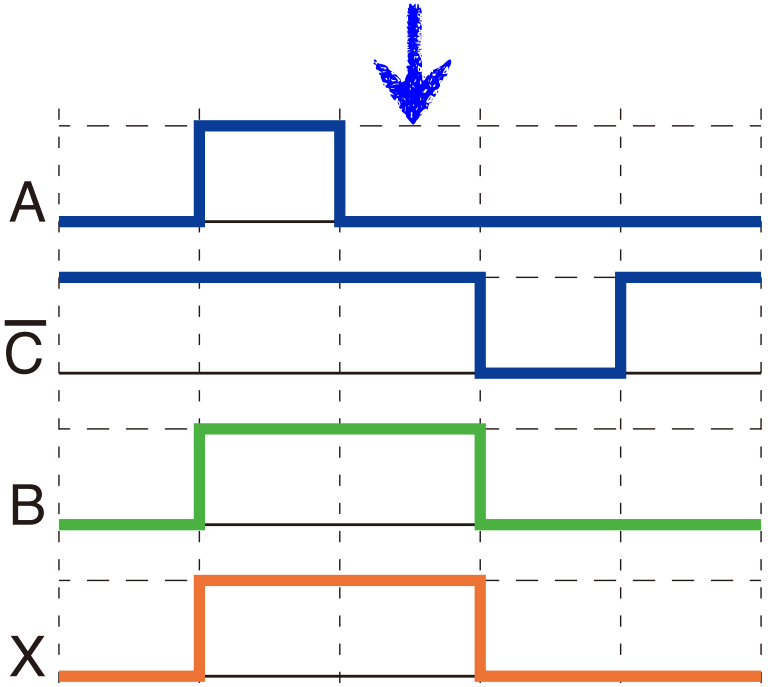
リセット機構を持つ記憶回路

教科書p123、図7.4、7.5

スイッチをANDで置換

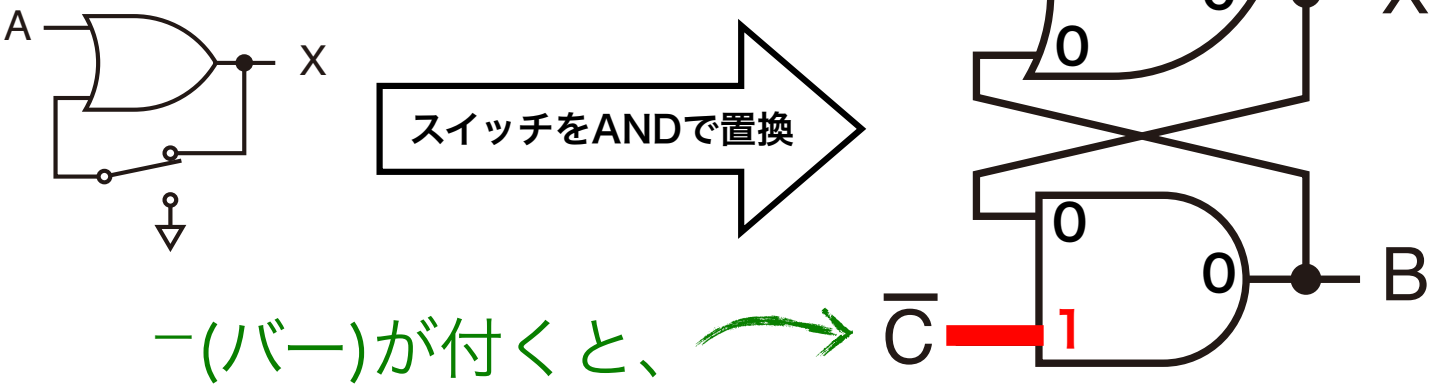


¯(バー)が付くと、
0のとき信号入力

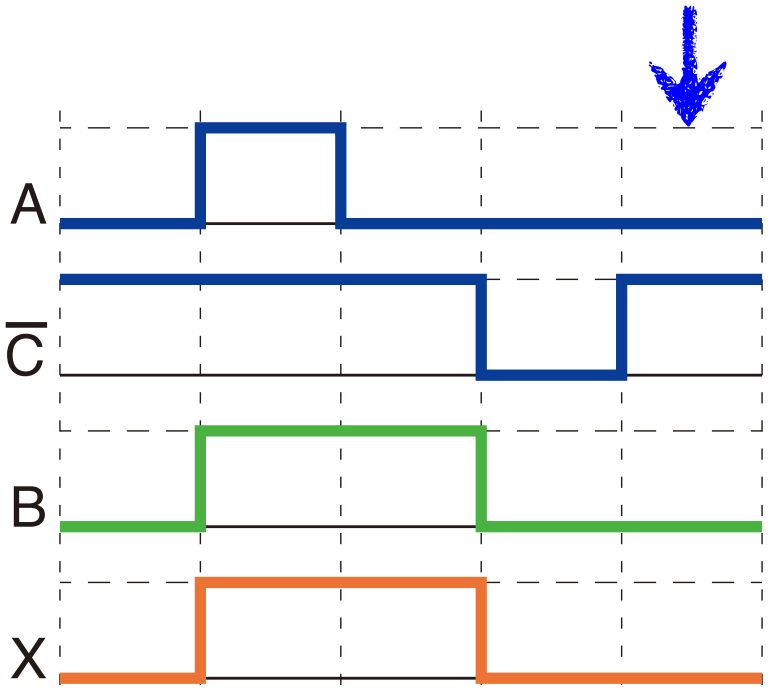


リセット機構を持つ記憶回路

教科書p123、図7.4、7.5

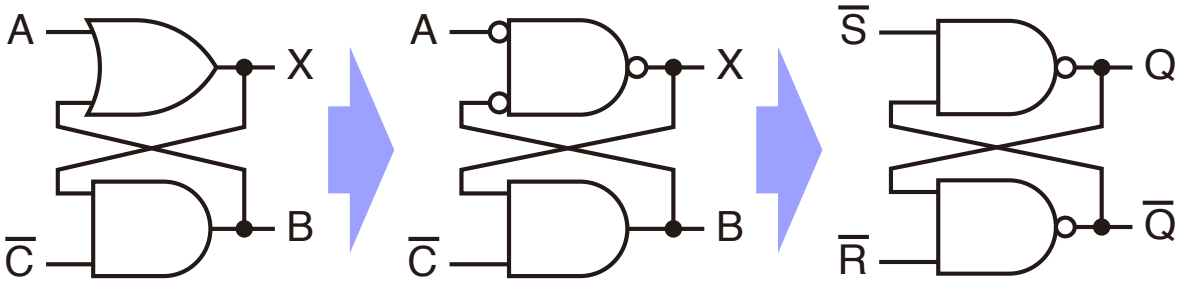


¯(バー)が付くと、
0のとき信号入力



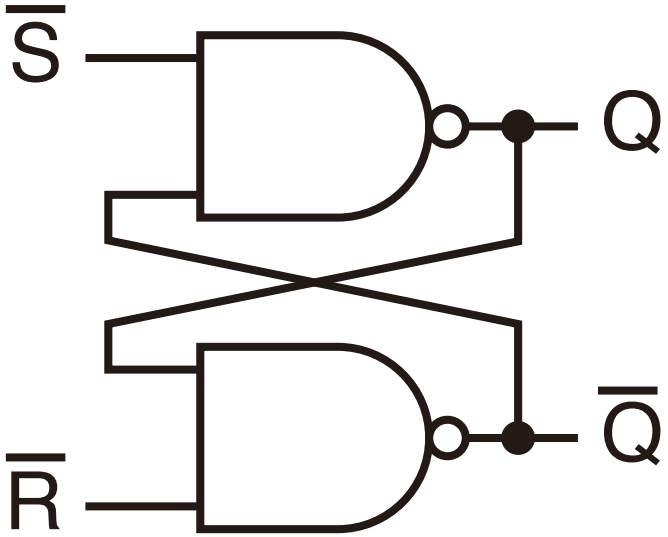
NAND回路で作る記憶回路

教科書p125、図7.7、7.8



NAND回路で作る記憶回路

教科書p125、図7.7、7.8



$\overline{S}$: セット入力

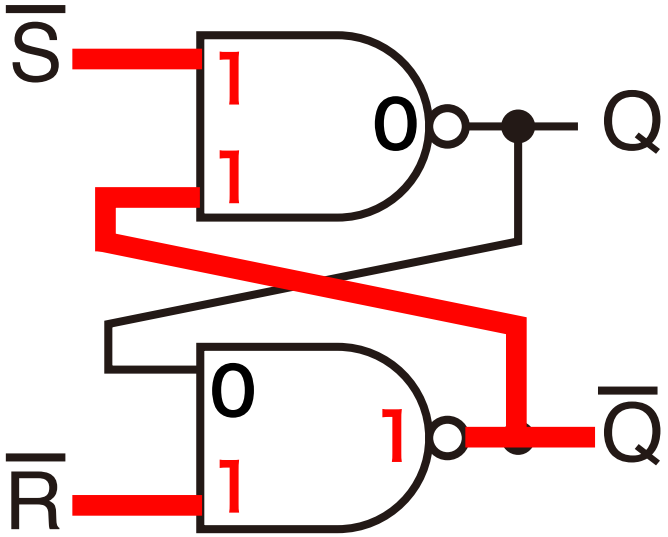
$\overline{R}$: リセット入力

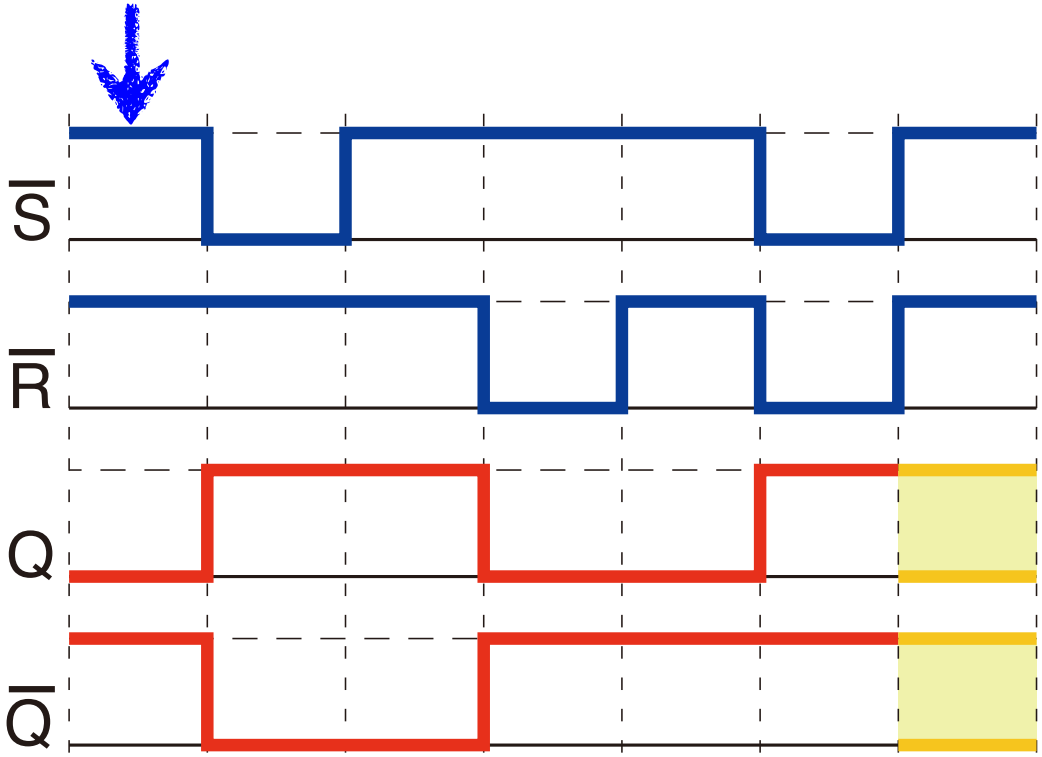
Q: 非反転出力

$\overline{Q}$: 反転出力

NAND回路で作る記憶回路

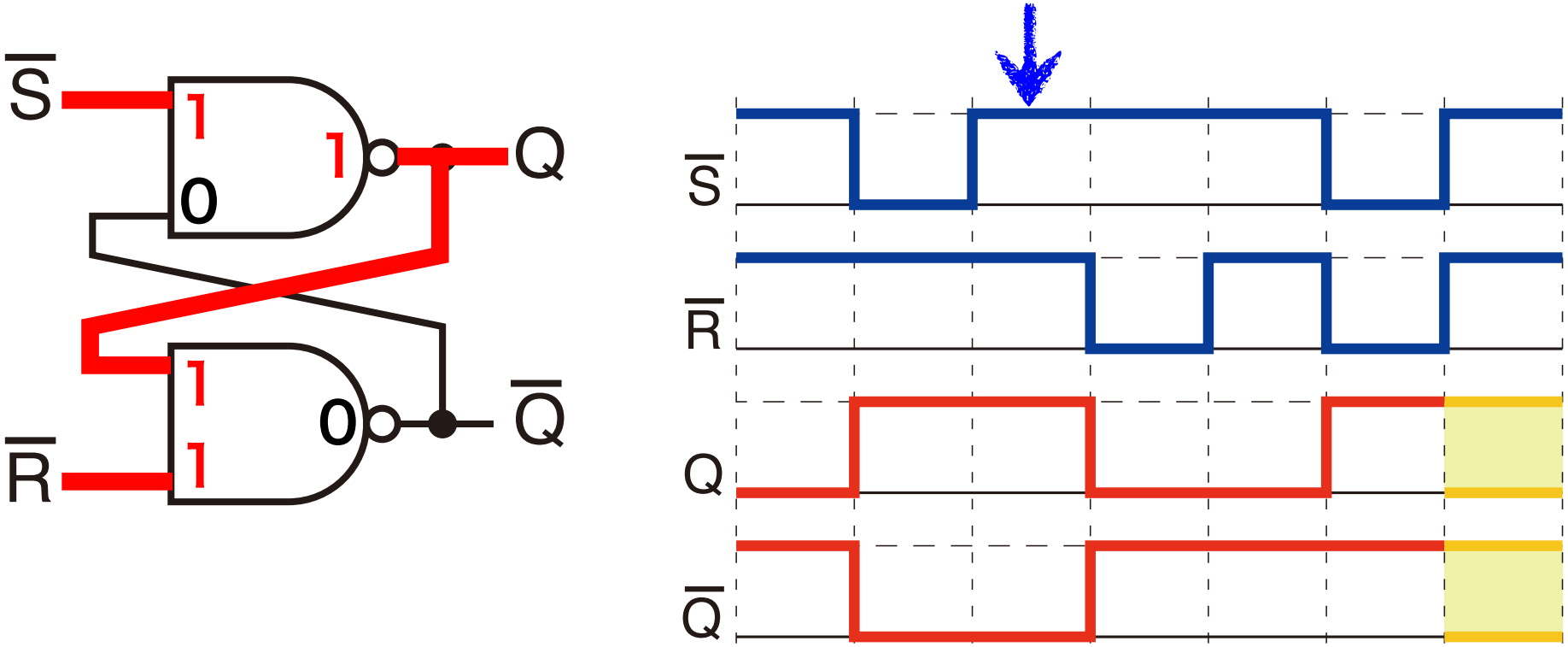
教科書p125、図7.7、7.8





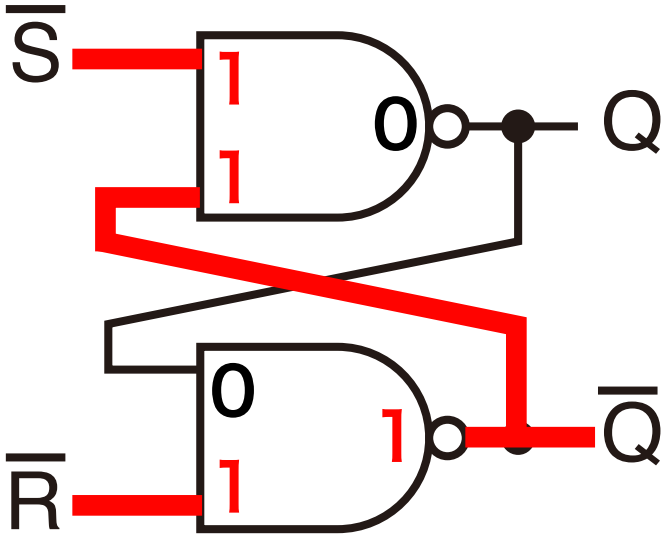
NAND回路で作る記憶回路

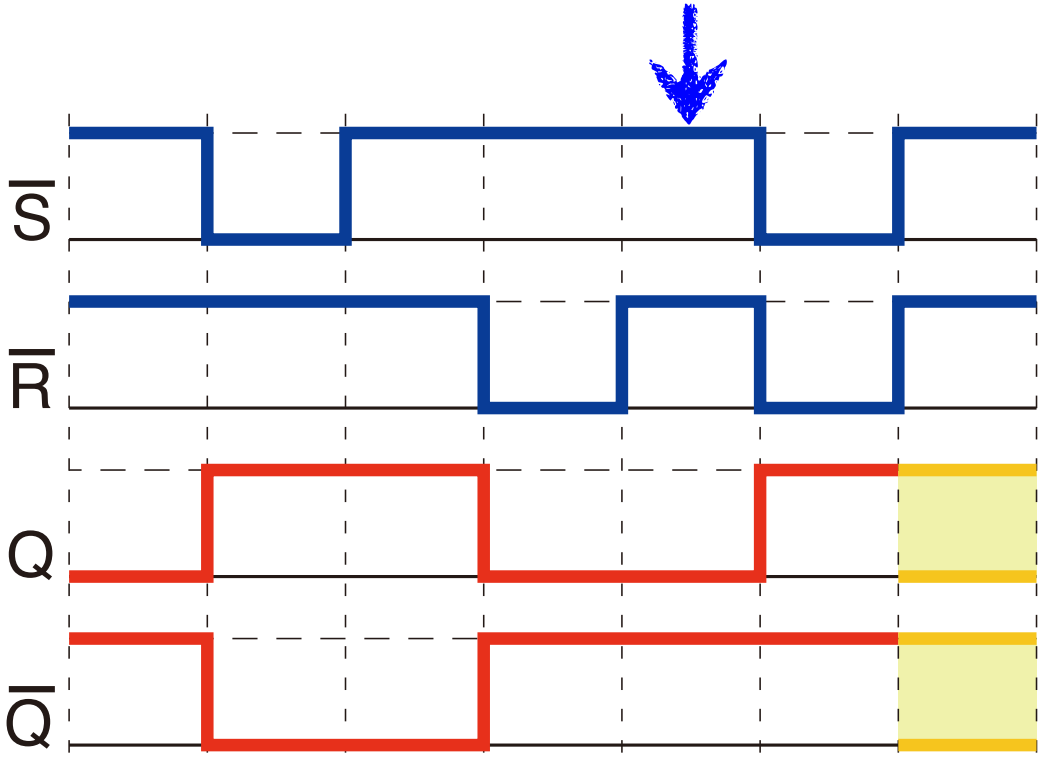
教科書p125、図7.7、7.8



NAND回路で作る記憶回路

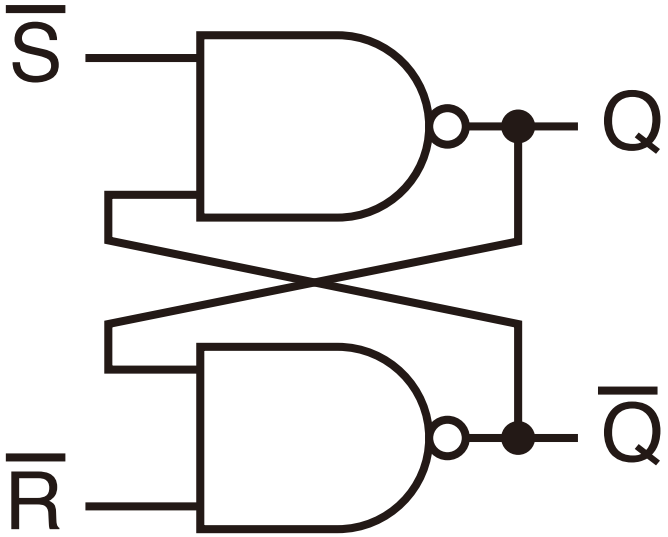
教科書p125、図7.7、7.8

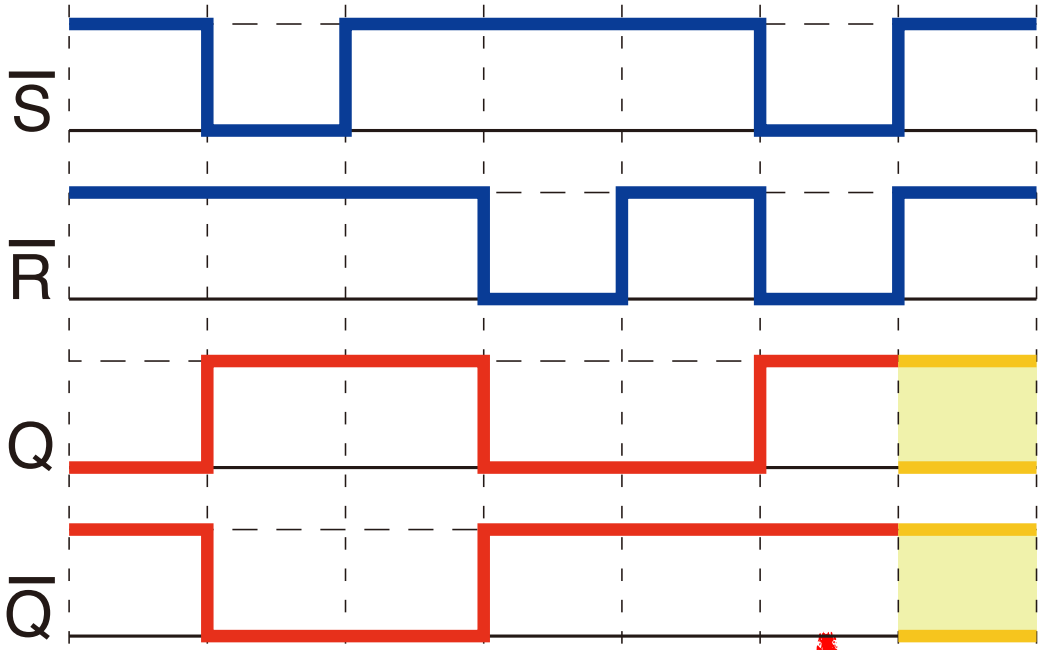




NAND回路で作る記憶回路

教科書p125、図7.7、7.8

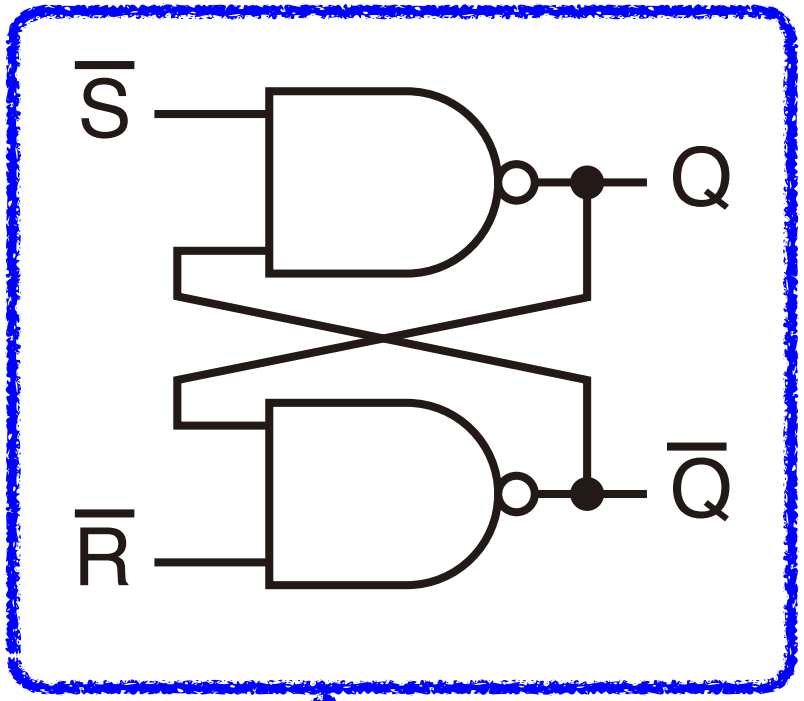


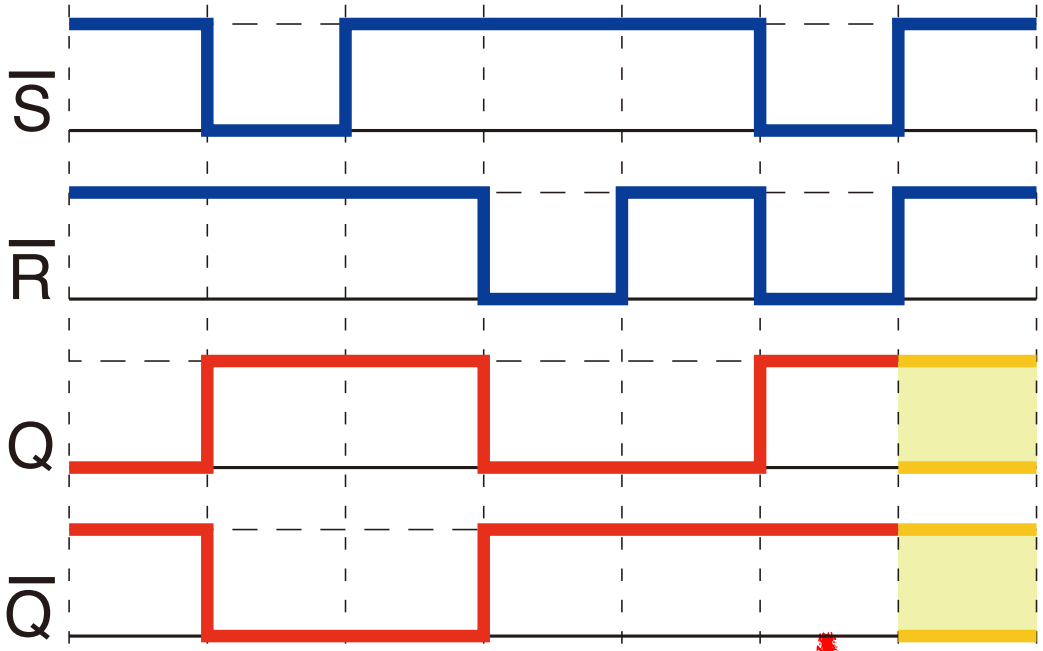


$\overline{S}$と$\overline{R}$を同時に0にして
はいけない！
(Qと$\overline{Q}$が矛盾する)

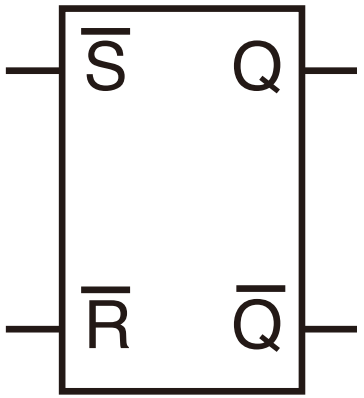
NAND回路で作る記憶回路

教科書p125、図7.7、7.8





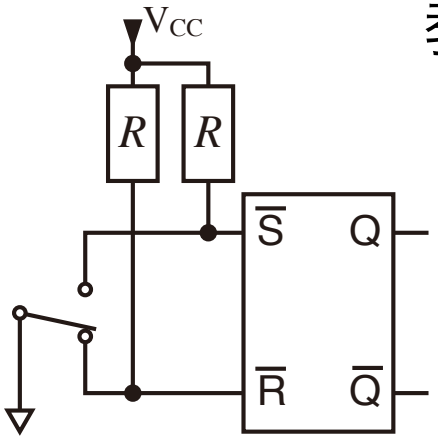
RSフリップフロップ
(Reset-Set-FF)



$\overline{S}$と$\overline{R}$を同時に0にして
はいけない！
(Qと$\overline{Q}$が矛盾する)

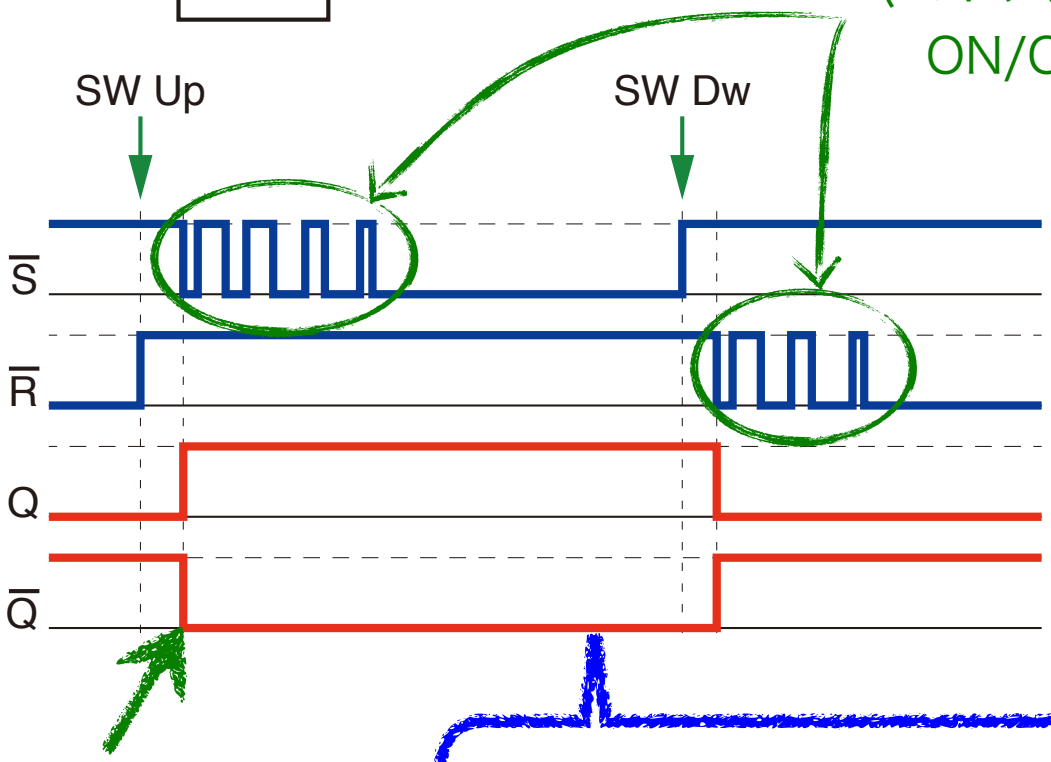
RS-FFの応用例(チャタリング防止)

教科書p128、図7.12



チャタリング

(スイッチ接点が安定するまで
ON/OFFが繰り返される)

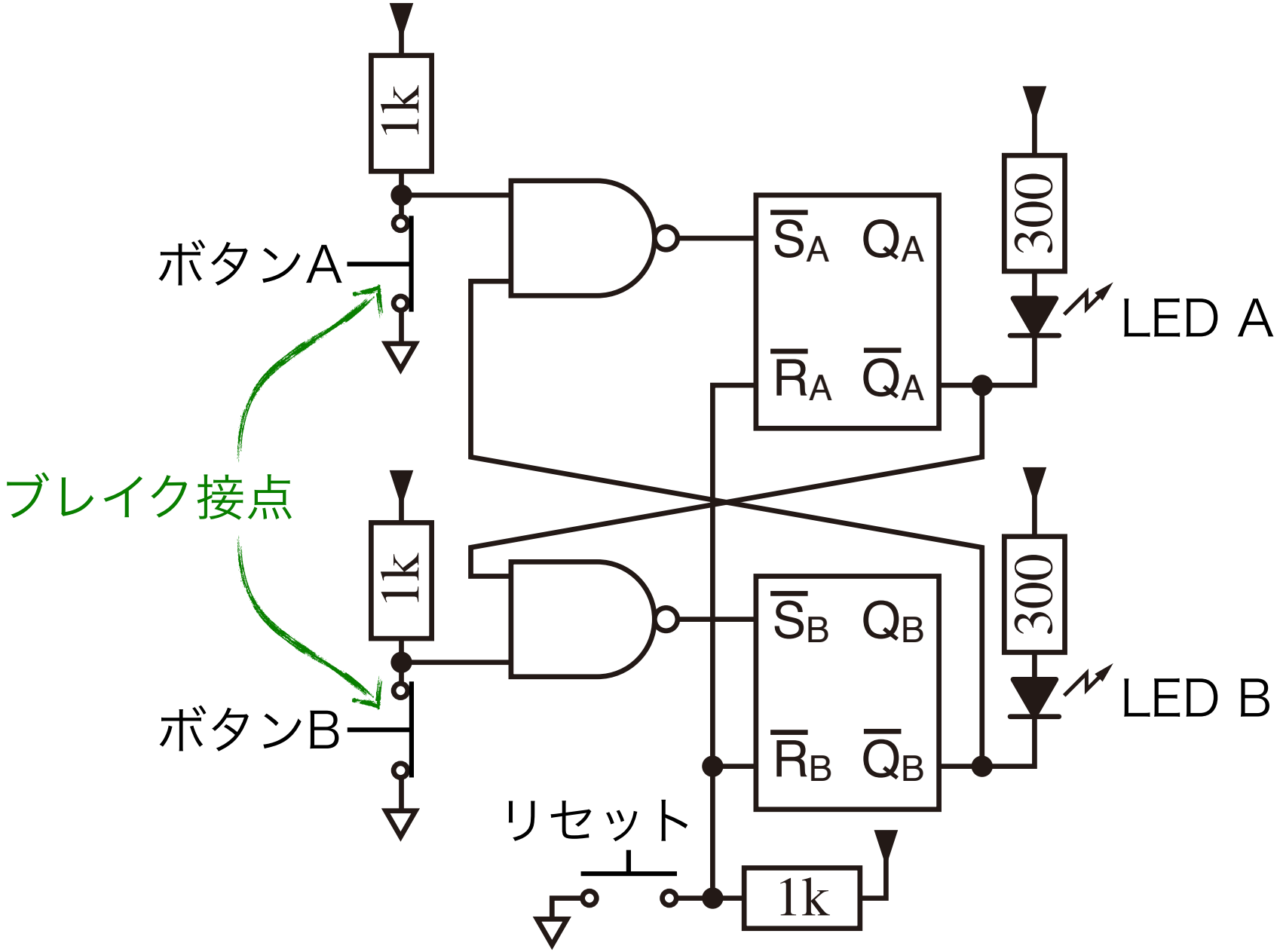


切り替わりのタイミングは
ファーストコンタクト

出力はチャタリングの影響を受けない

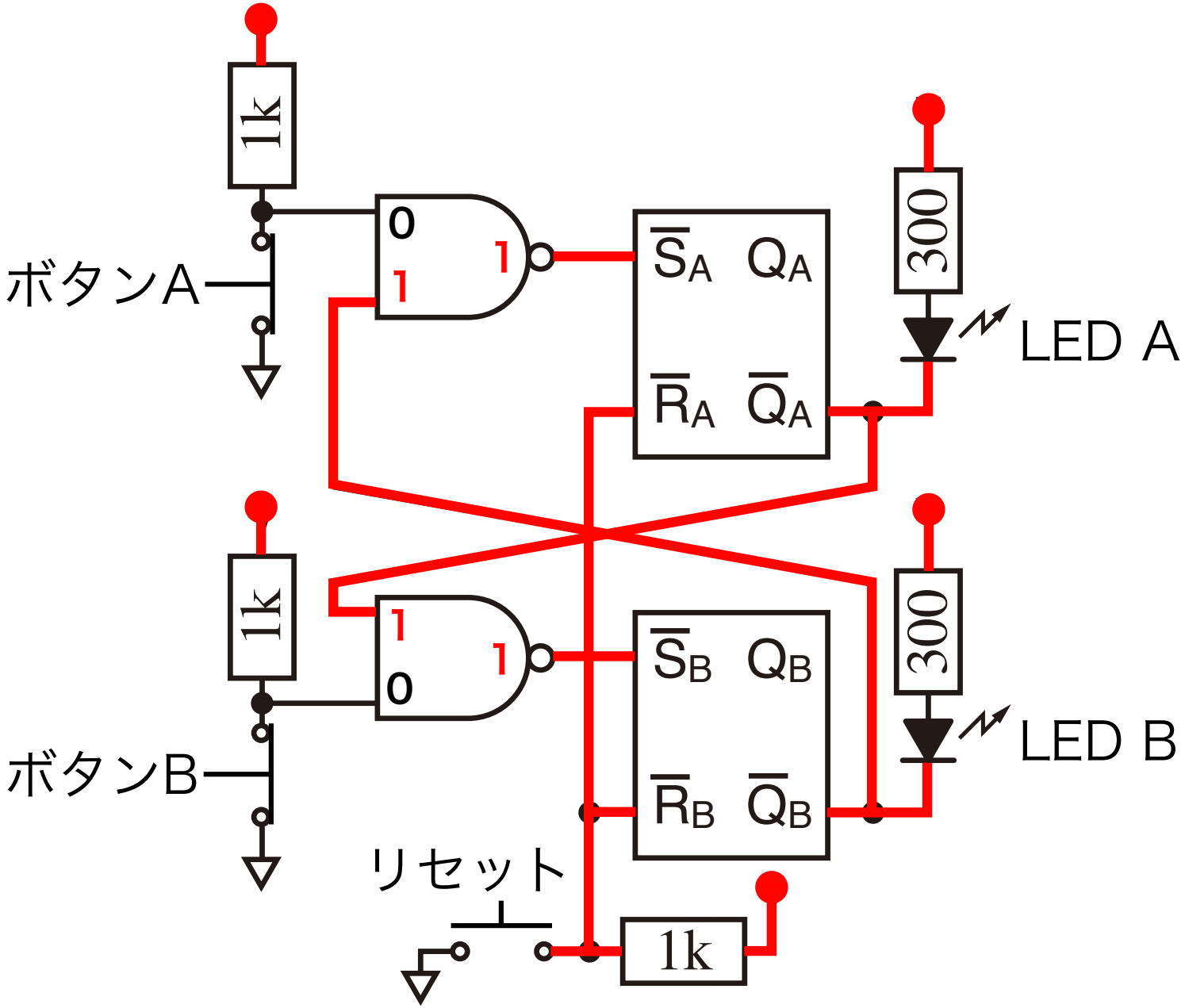
RS-FFの応用例(早押しボタン)

教科書p130、図7.14



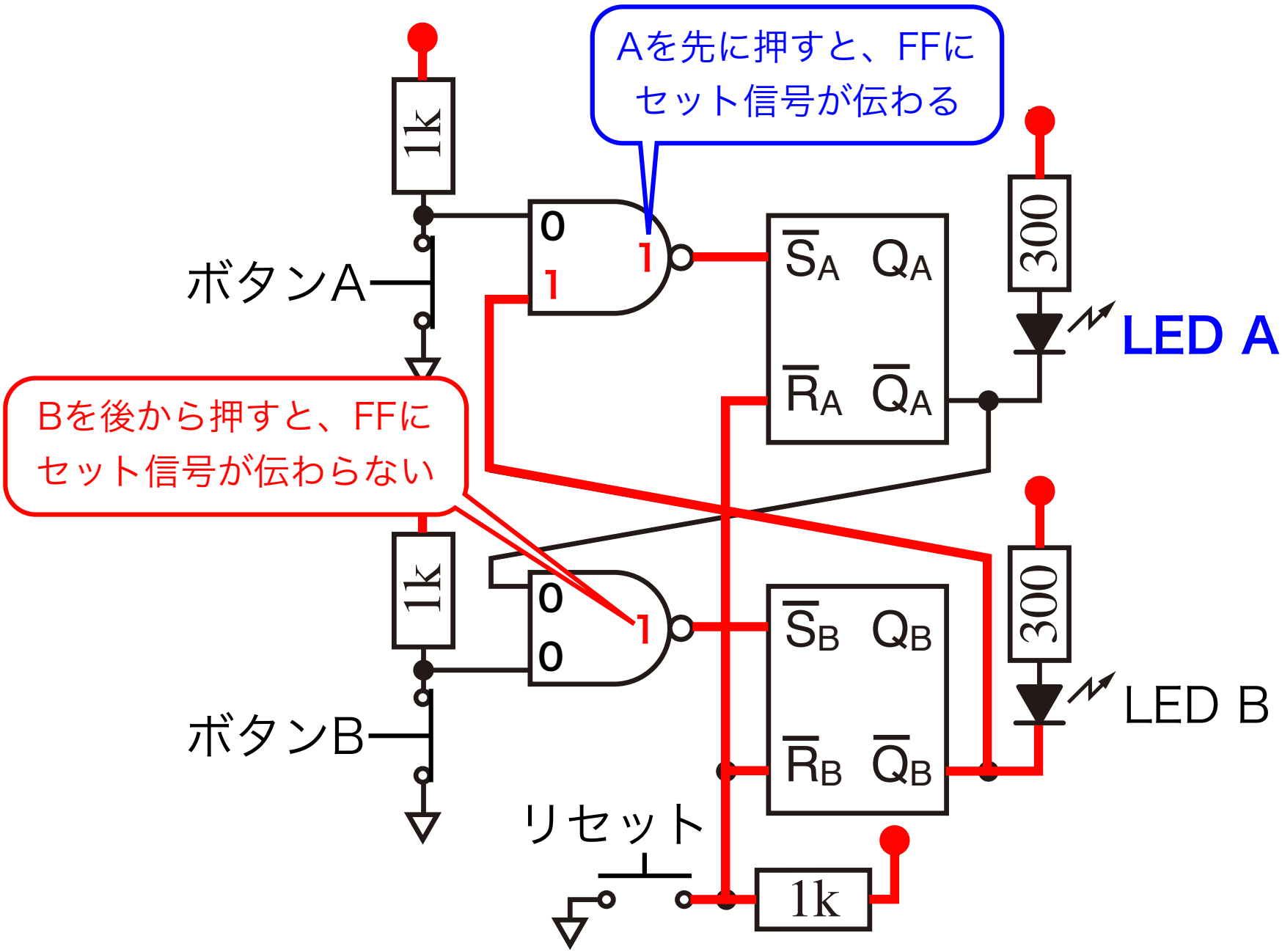
RS-FFの応用例(早押しボタン)

教科書p130、図7.14



RS-FFの応用例(早押しボタン)

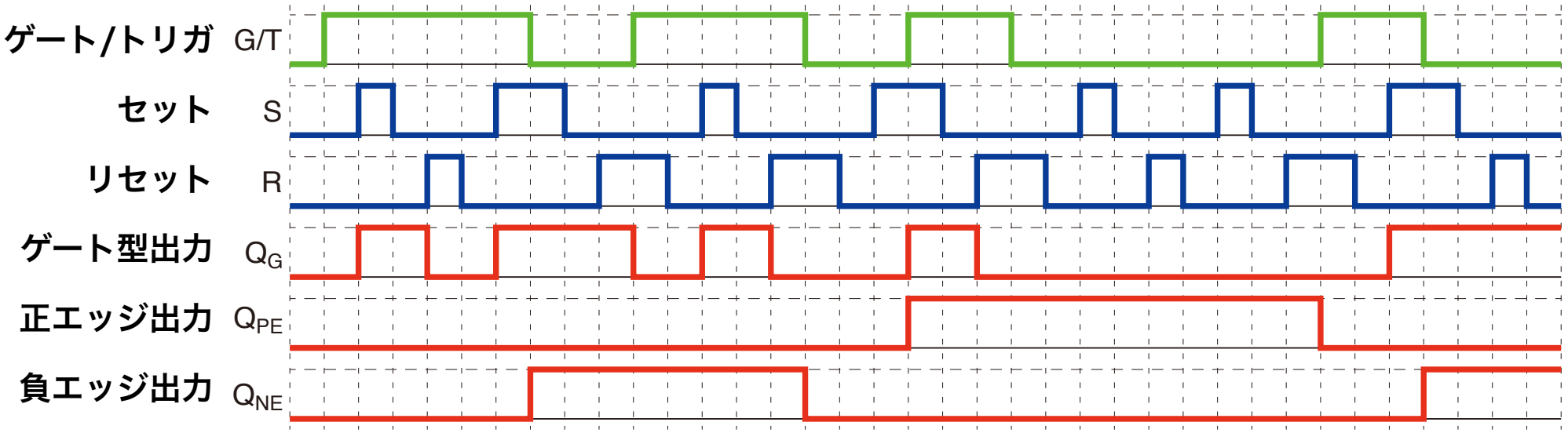
教科書p130、図7.14



FFの信号出力タイミングの制御

- **ゲート型(レベルセンス型)**：ゲート(イネーブル)信号が**HI(1)の間だけ**入力を取り込む。LO(0)のときは直前の状態を保つ。

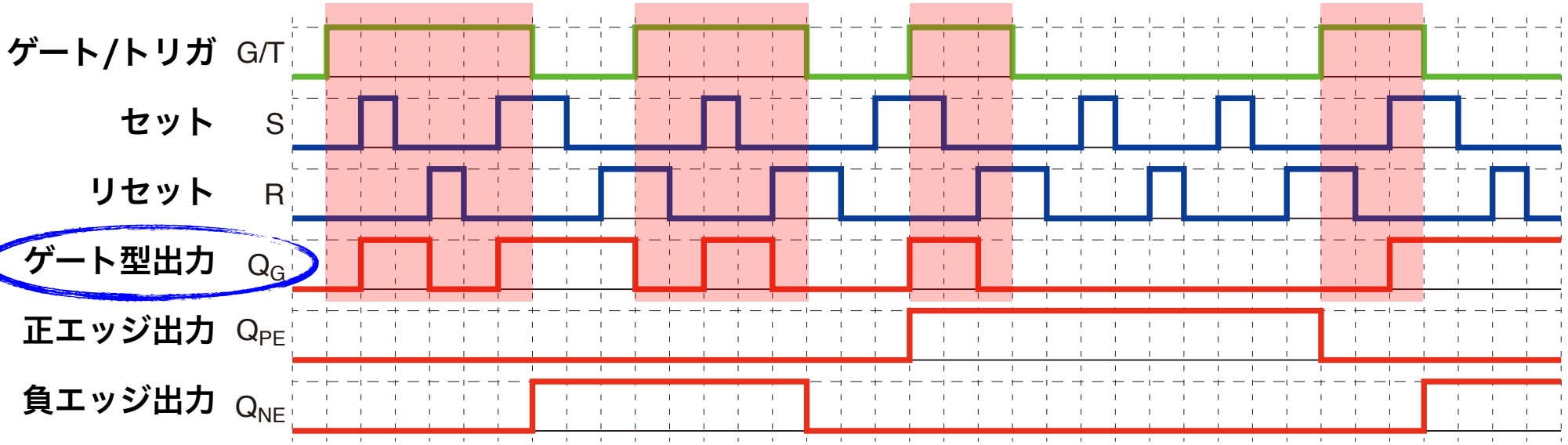
- **トリガ型(エッジトリガ型)**：トリガ信号がLO→HI(**ポジティブエッジ**)あるいはHI→LO(**ネガティブエッジ**)に**変化したときだけ**入力を取り込む。それ以外の時間は直前の状態を保つ。通常、トリガ信号には周期的な矩形波であるクロック信号を用いる。



FFの信号出力タイミングの制御

- **ゲート型(レベルセンス型)**：ゲート(イネーブル)信号が**HI(1)の間だけ**入力を取り込む。LO(0)のときは直前の状態を保つ。

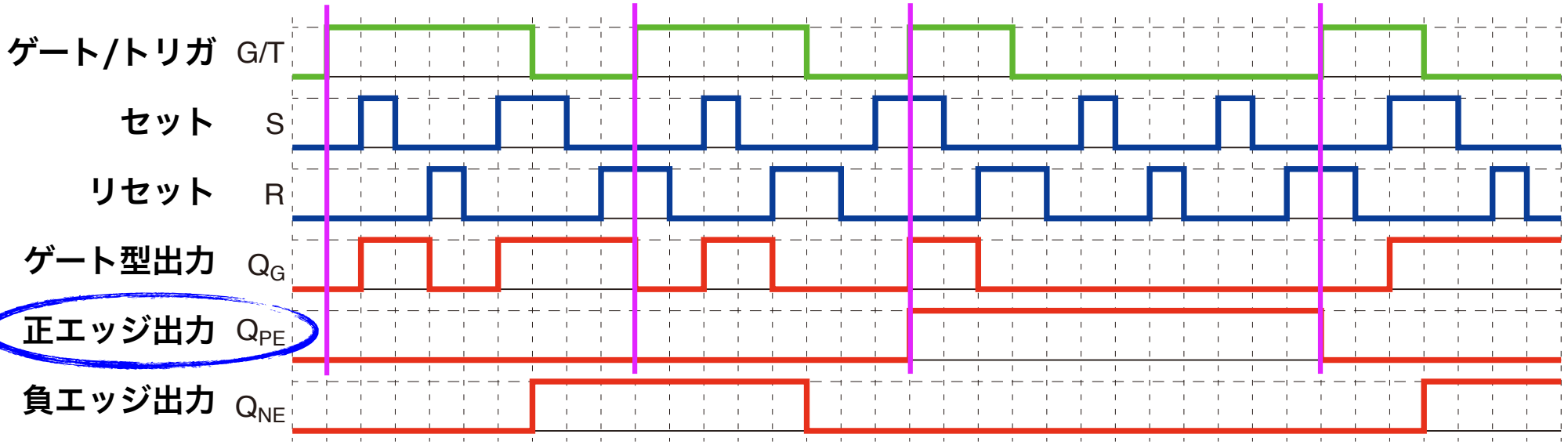
- **トリガ型(エッジトリガ型)**：トリガ信号がLO→HI(**ポジティブエッジ**)あるいはHI→LO(**ネガティブエッジ**)に**変化したときだけ**入力を取り込む。それ以外の時間は直前の状態を保つ。通常、トリガ信号には周期的な矩形波であるクロック信号を用いる。



FFの信号出力タイミングの制御

- **ゲート型(レベルセンス型)**：ゲート(イネーブル)信号が**HI(1)の間だけ**入力を取り込む。LO(0)のときは直前の状態を保つ。

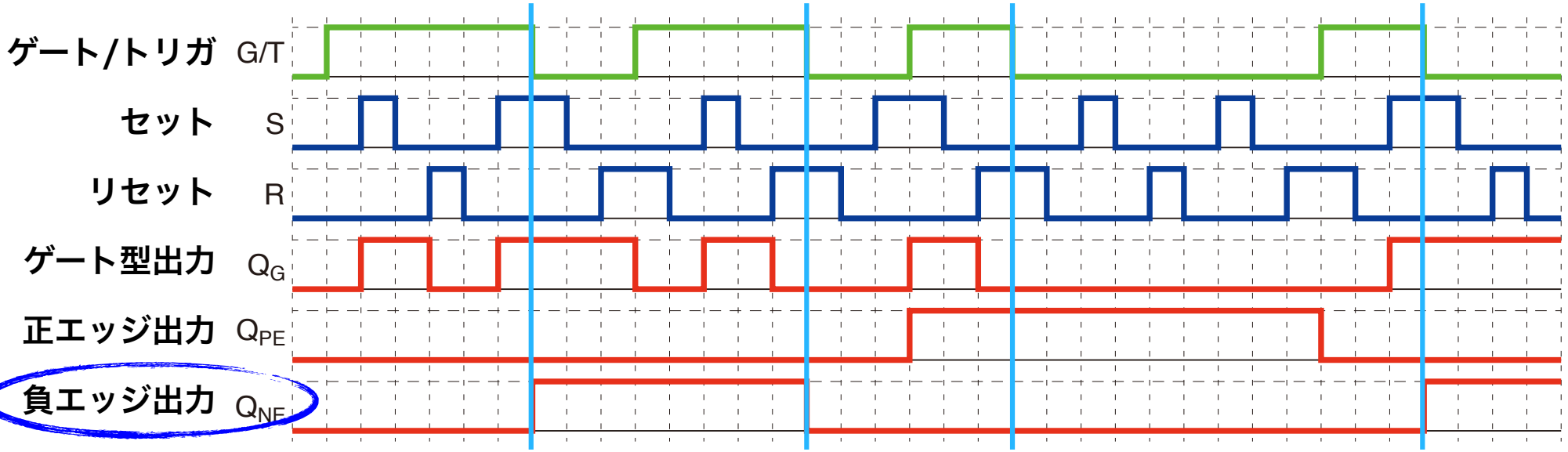
- **トリガ型(エッジトリガ型)**：トリガ信号がLO→HI(**ポジティブエッジ**)あるいはHI→LO(**ネガティブエッジ**)に**変化したときだけ**入力を取り込む。それ以外の時間は直前の状態を保つ。通常、トリガ信号には周期的な矩形波であるクロック信号を用いる。



FFの信号出力タイミングの制御

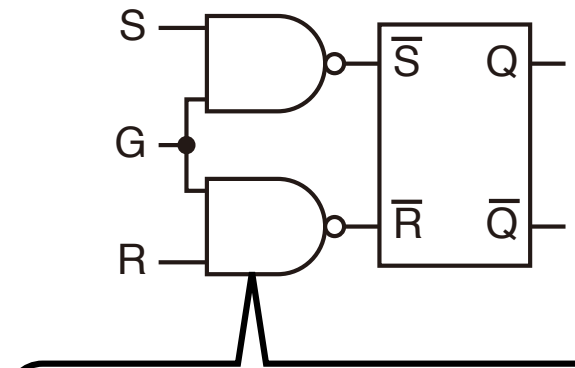
- **ゲート型(レベルセンス型)**：ゲート(イネーブル)信号が**HI(1)の間だけ**入力を取り込む。LO(0)のときは直前の状態を保つ。

- **トリガ型(エッジトリガ型)**：トリガ信号がLO→HI(**ポジティブエッジ**)あるいはHI→LO(**ネガティブエッジ**)に**変化したときだけ**入力を取り込む。それ以外の時間は直前の状態を保つ。通常、トリガ信号には周期的な矩形波であるクロック信号を用いる。



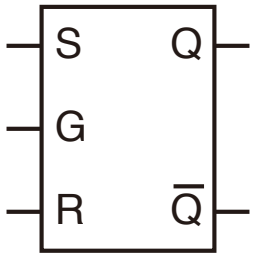
ゲート型FF

- **RST-FF**

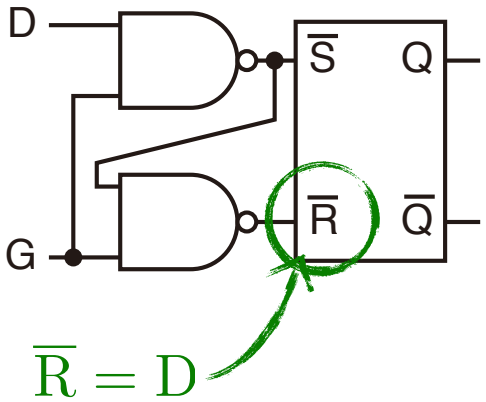


入力の有効・無効をゲート入力で切り替えるトグルスイッチ

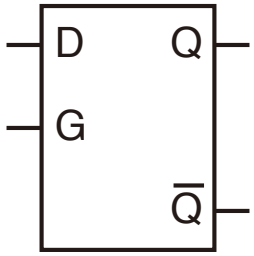
- G=1の間は、S/R入力を反転したRS-FFと同じ
- G=0の間は、S/R入力を無視



- **D-ラッチ**　ラッチ=保持、G=1→0の瞬間の値を保持して出力しつづける

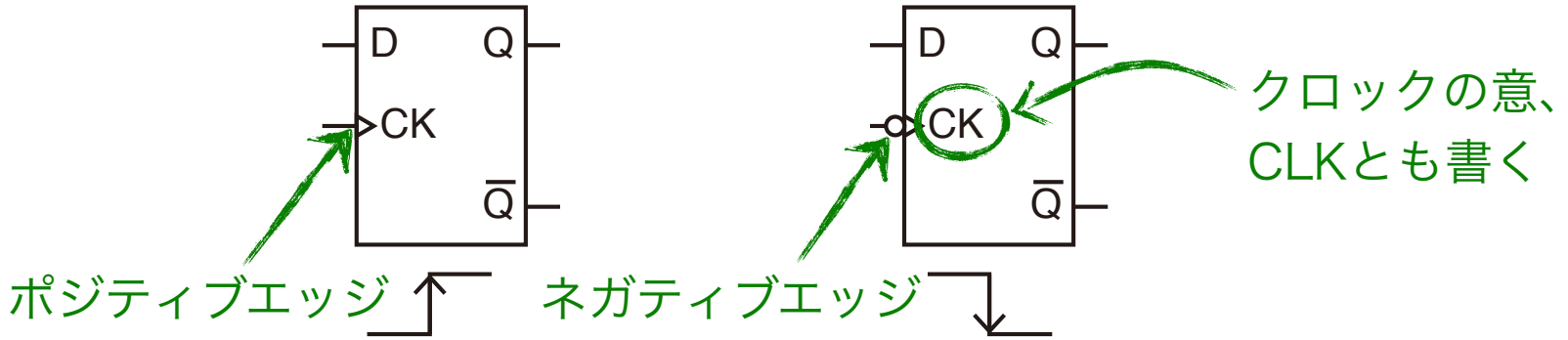


- G=1の間は、DをQに出力
- G=0の間は、D入力を無視

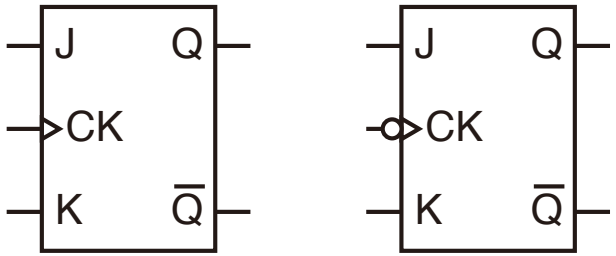


トリガ型FF

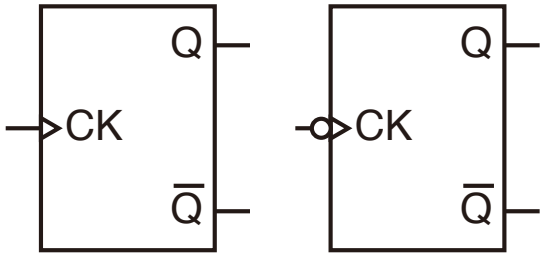
- **D-FF**　：Dラッチの入力タイミングをエッジトリガにしたもので、
  ラッチと異なり、CK一定の間のDの変化は無視される



- **JK-FF**：RST-FFの入力タイミングをエッジトリガにしたものだが、
  J/K入力を同時1にすると、トリガ毎に出力が反転

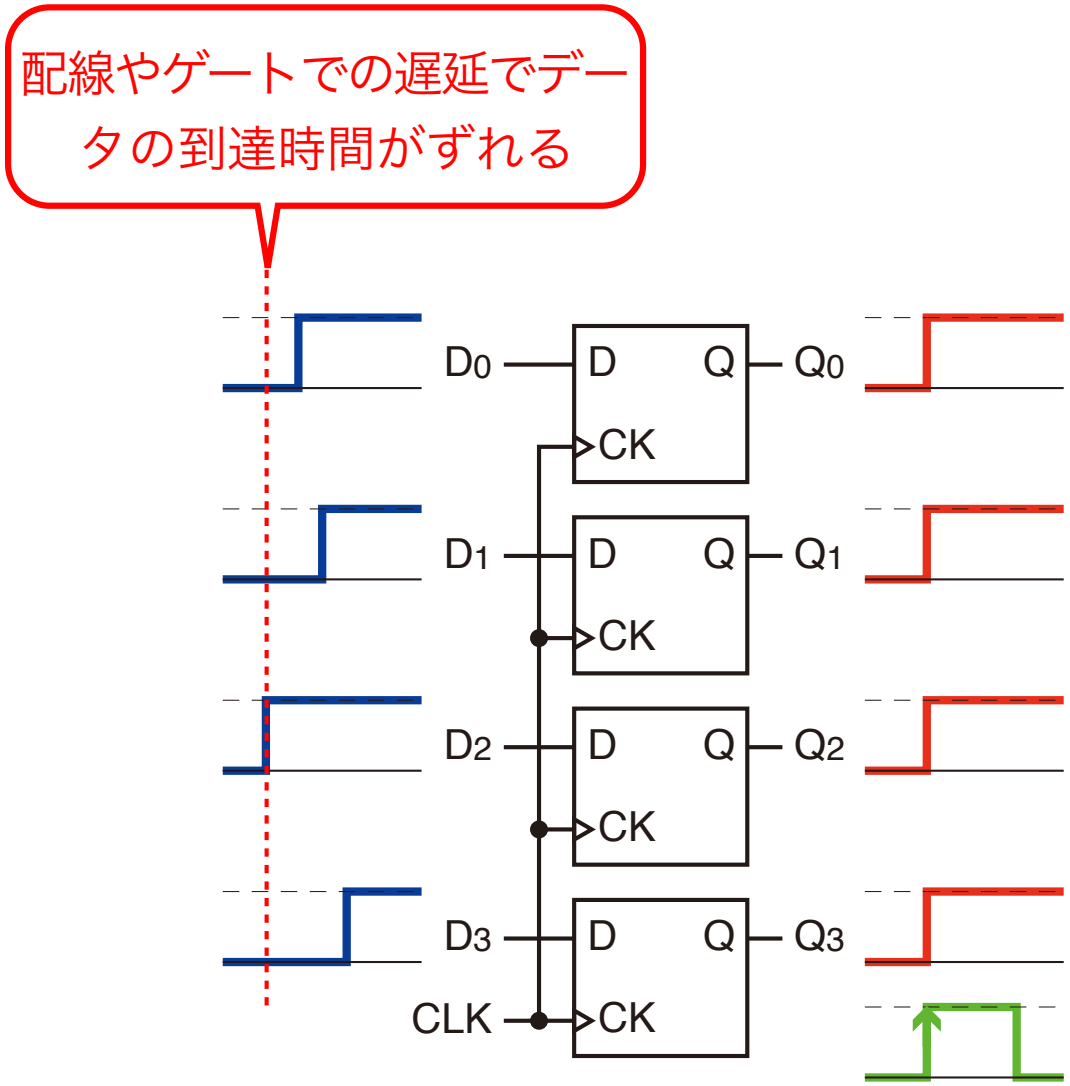


- **T-FF**　：JK-FFのJ/K入力を常に1に固定したもの
  CKに入力したパルス数を半分にして出力



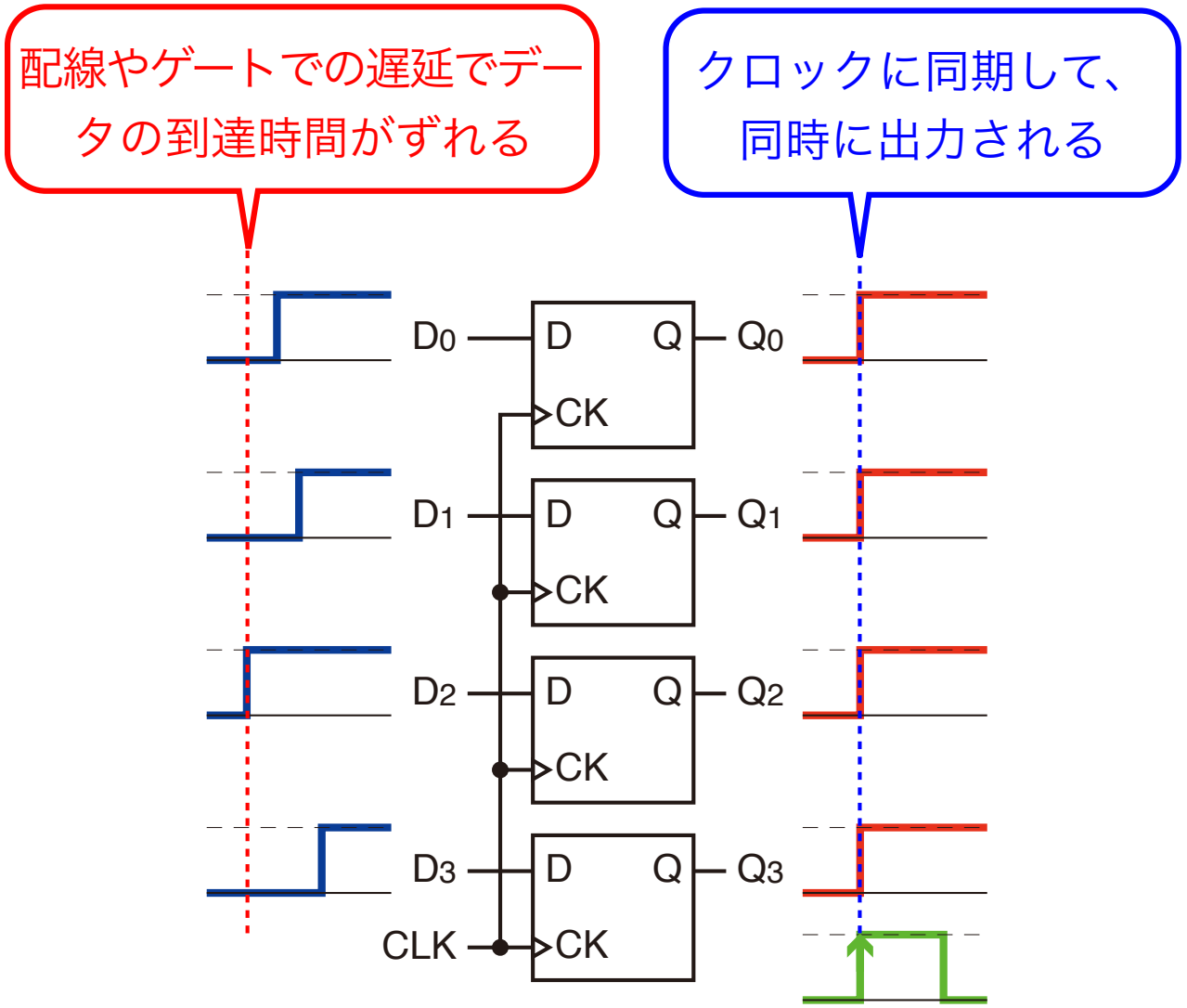
FFの使用例(シフトレジスタ)

教科書p139、図7.29



FFの使用例(シフトレジスタ)

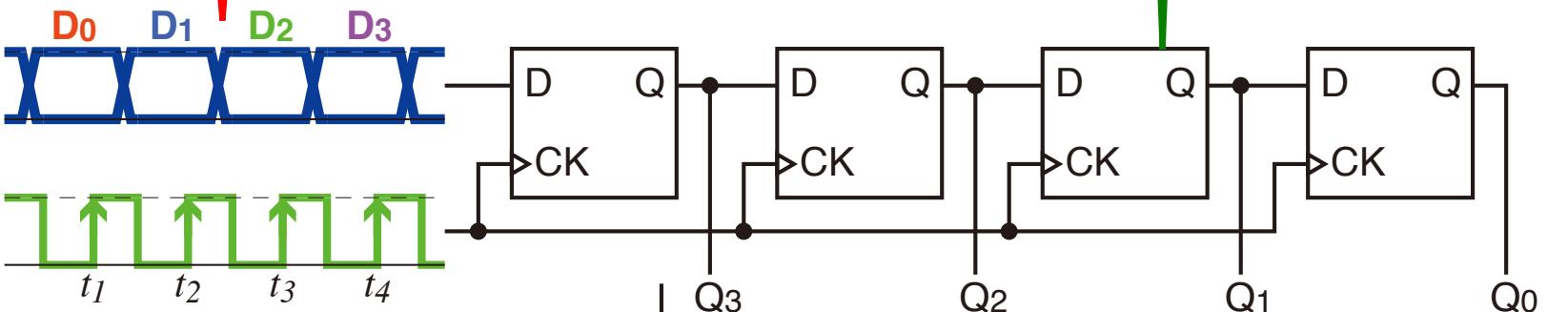
教科書p139、図7.29



FFの使用例(シリアル・パラレル変換)

D-FFを直列につなぐと、データをクロックのタイミングでバケツリレーできる

時系列で送られてくる1ビットデータ

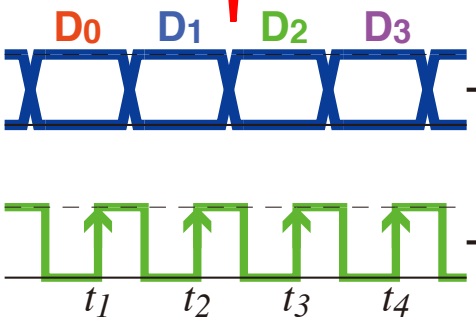


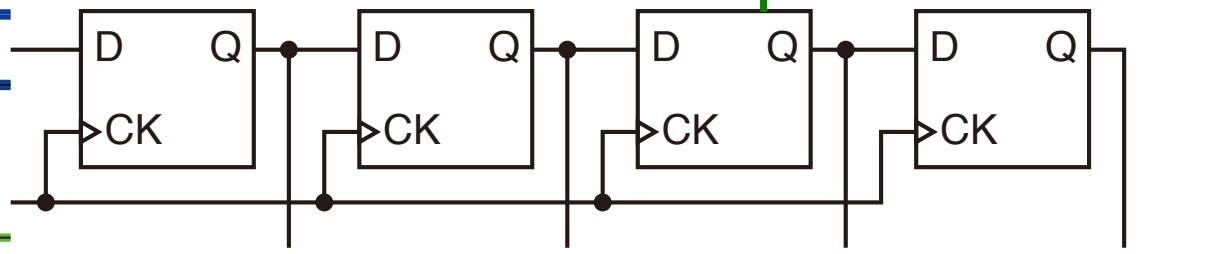
	Q3	Q2	Q1	Q0
t_1	D0	0	0	0
t_2	D1	D0	0	0
t_3	D2	D1	D0	0
t_4	D3	D2	D1	D0

FFの使用例(シリアル・パラレル変換)

D-FFを直列につなぐと、データをクロックのタイミングでバケツリレーできる

時系列で送られてくる1ビットデータ





	Q3	Q2	Q1	Q0
t_1	D0	0	0	0
t_2	D1	D0	0	0
t_3	D2	D1	D0	0
t_4	D3	D2	D1	D0

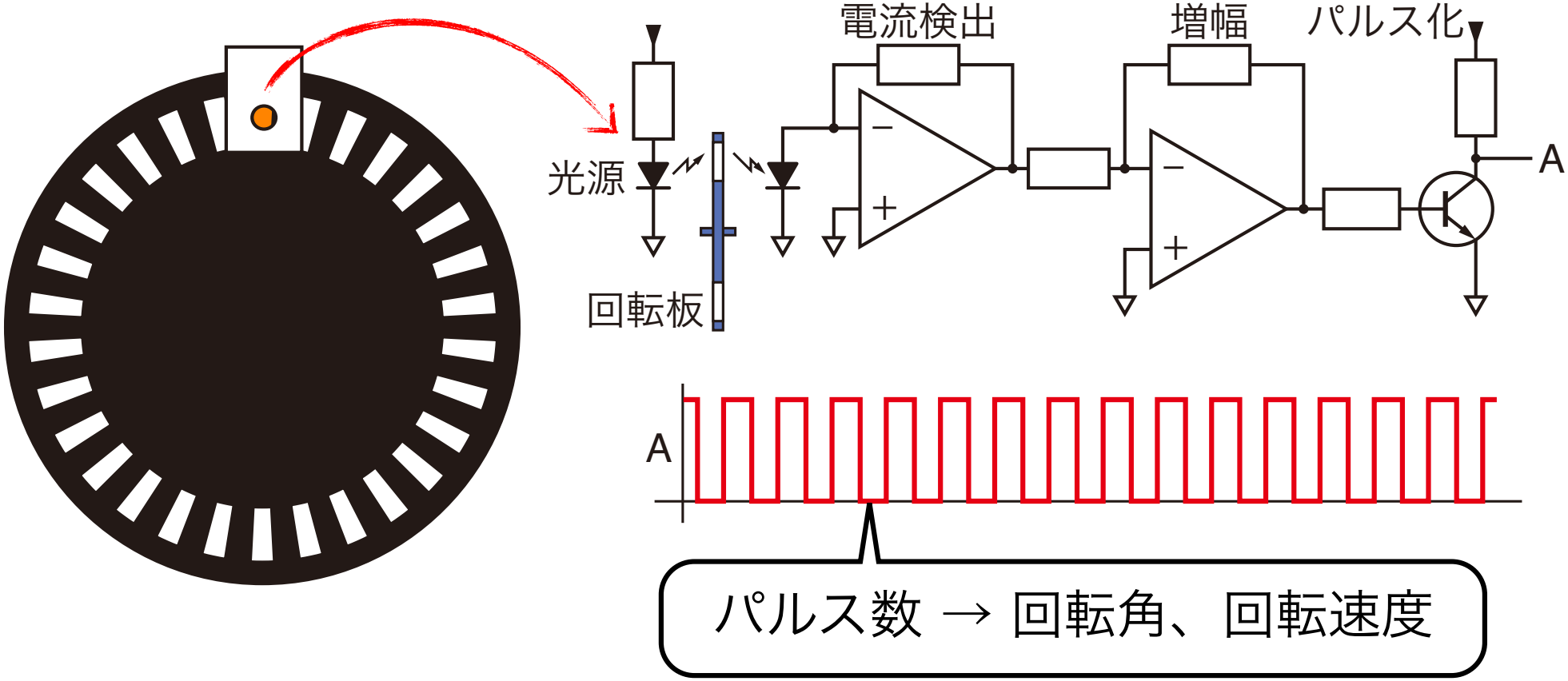
4クロック後には、4ビットのパラレルデータになる

8. 計数回路

(教科書：pp141–152)

- カウンタ

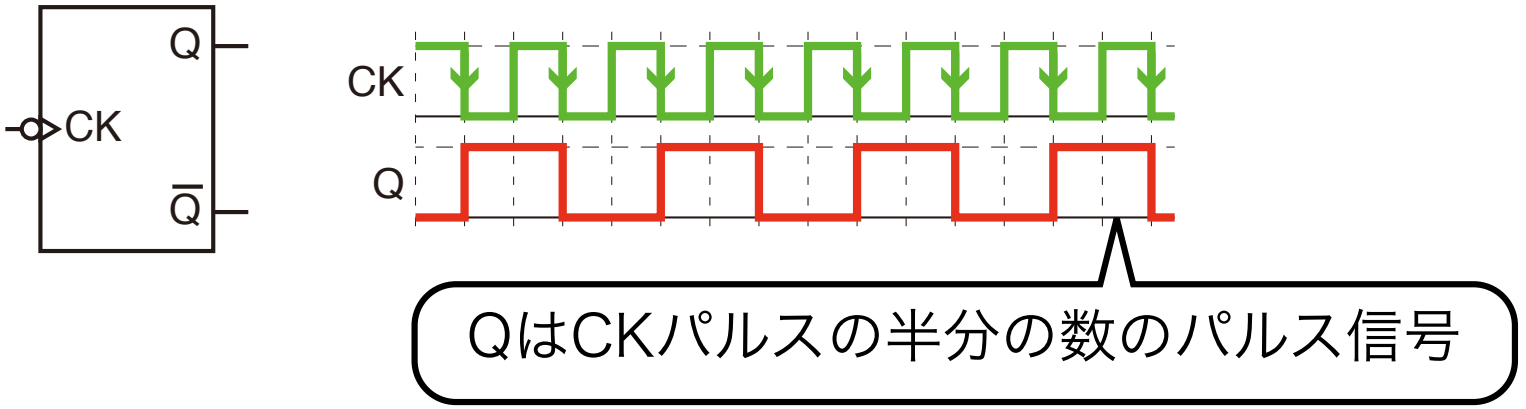
計数回路(カウンタ)



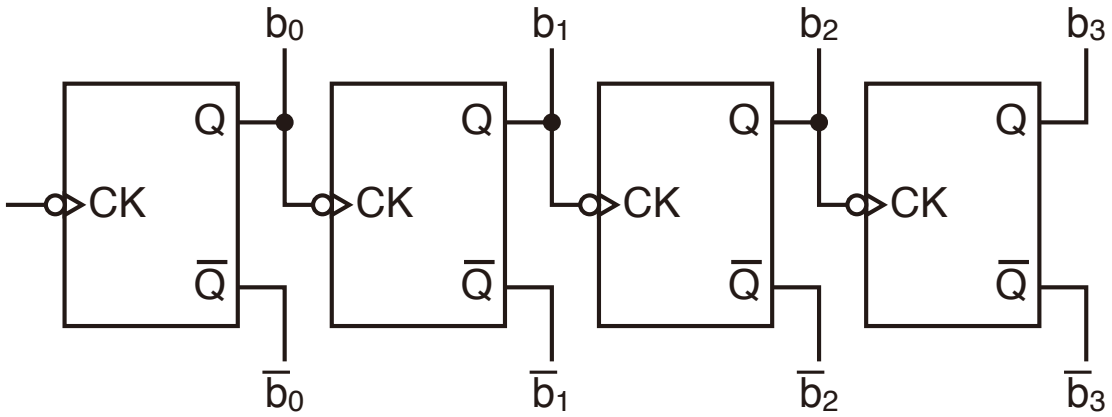
パルスを数える回路＝**カウンタ**

T-FFによる非同期式カウンタ

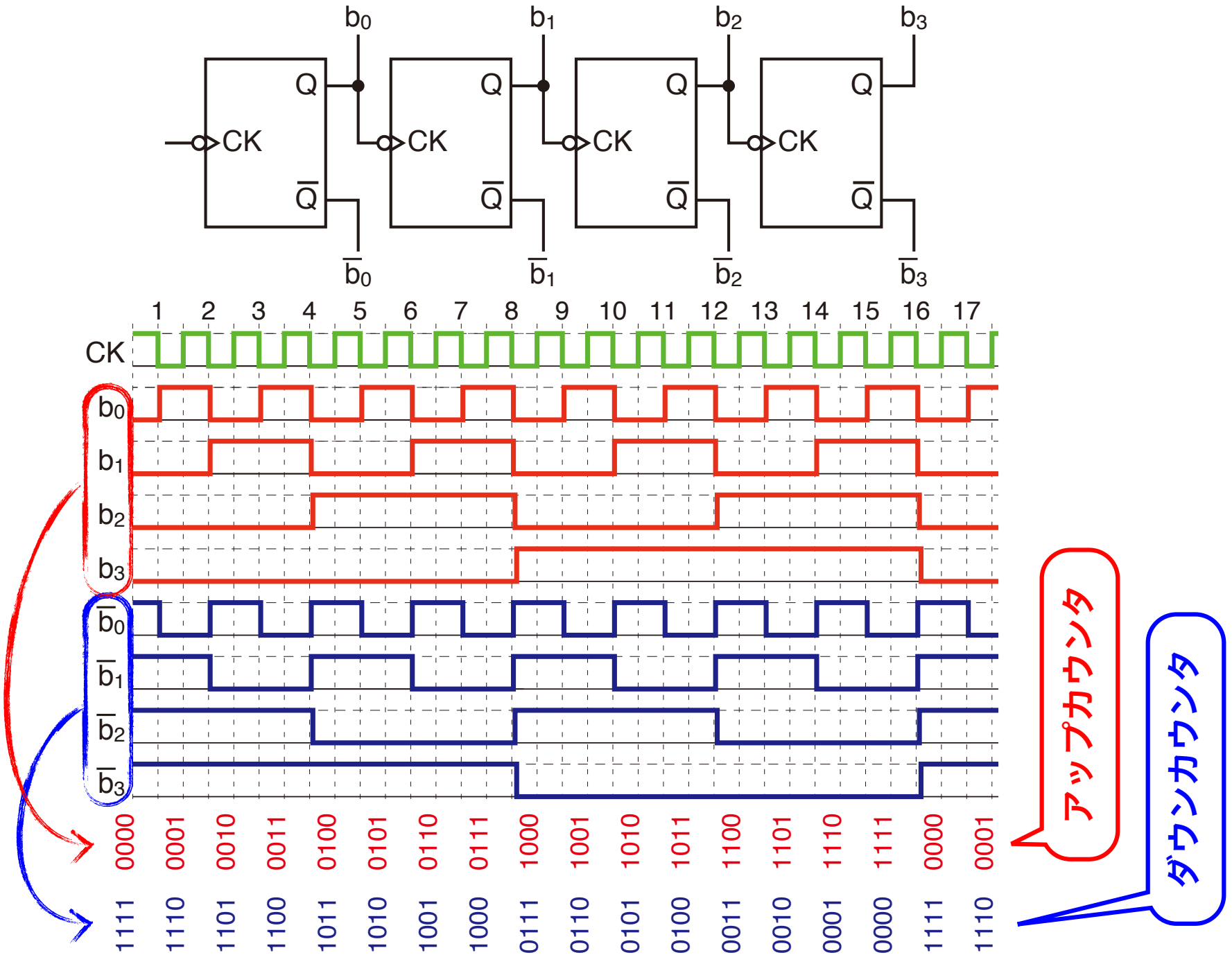
T-FF：CKパルス毎にQが反転



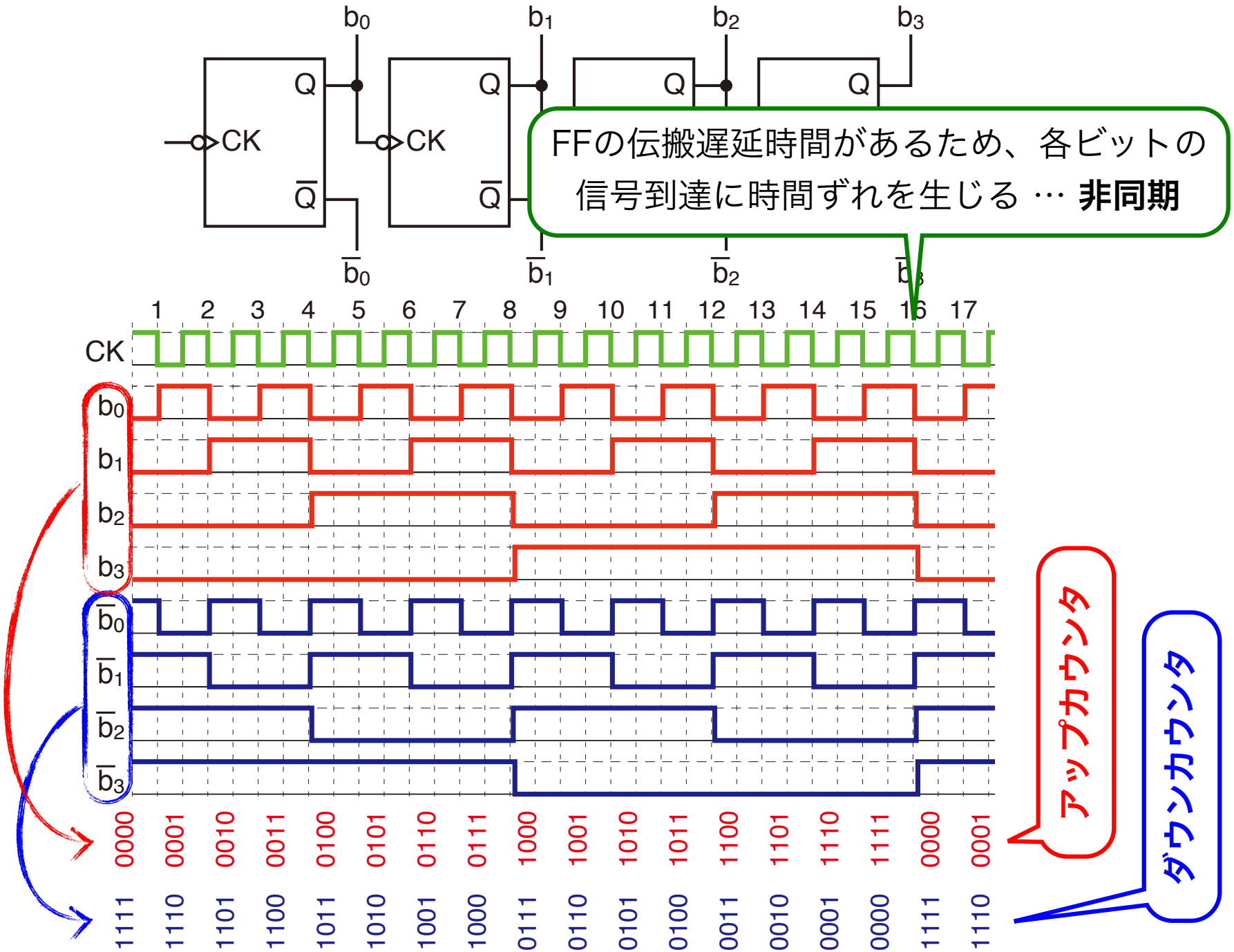
4ビット(16進)非同期式カウンタ回路



T-FFによる非同期式カウンタ

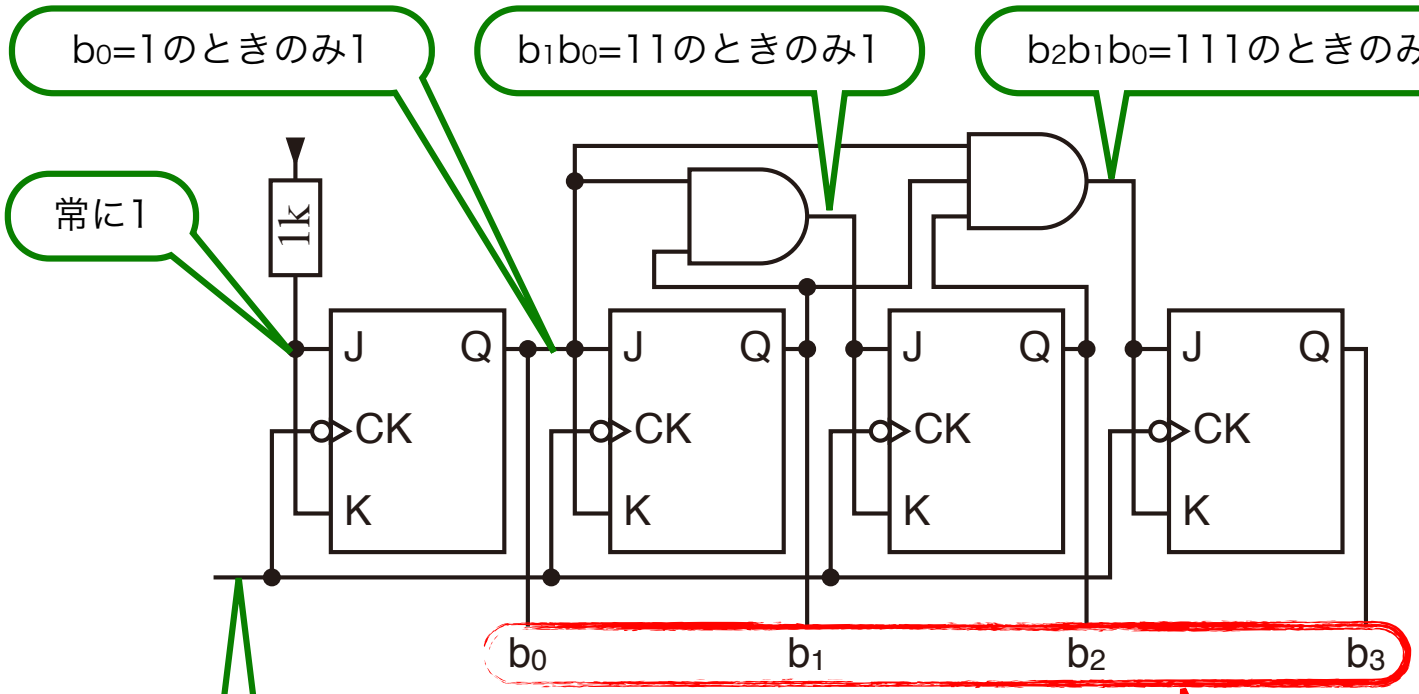


T-FFによる非同期式カウンタ



JK-FFによる同期式カウンタ

4ビット(16進)同期式カウンタ回路

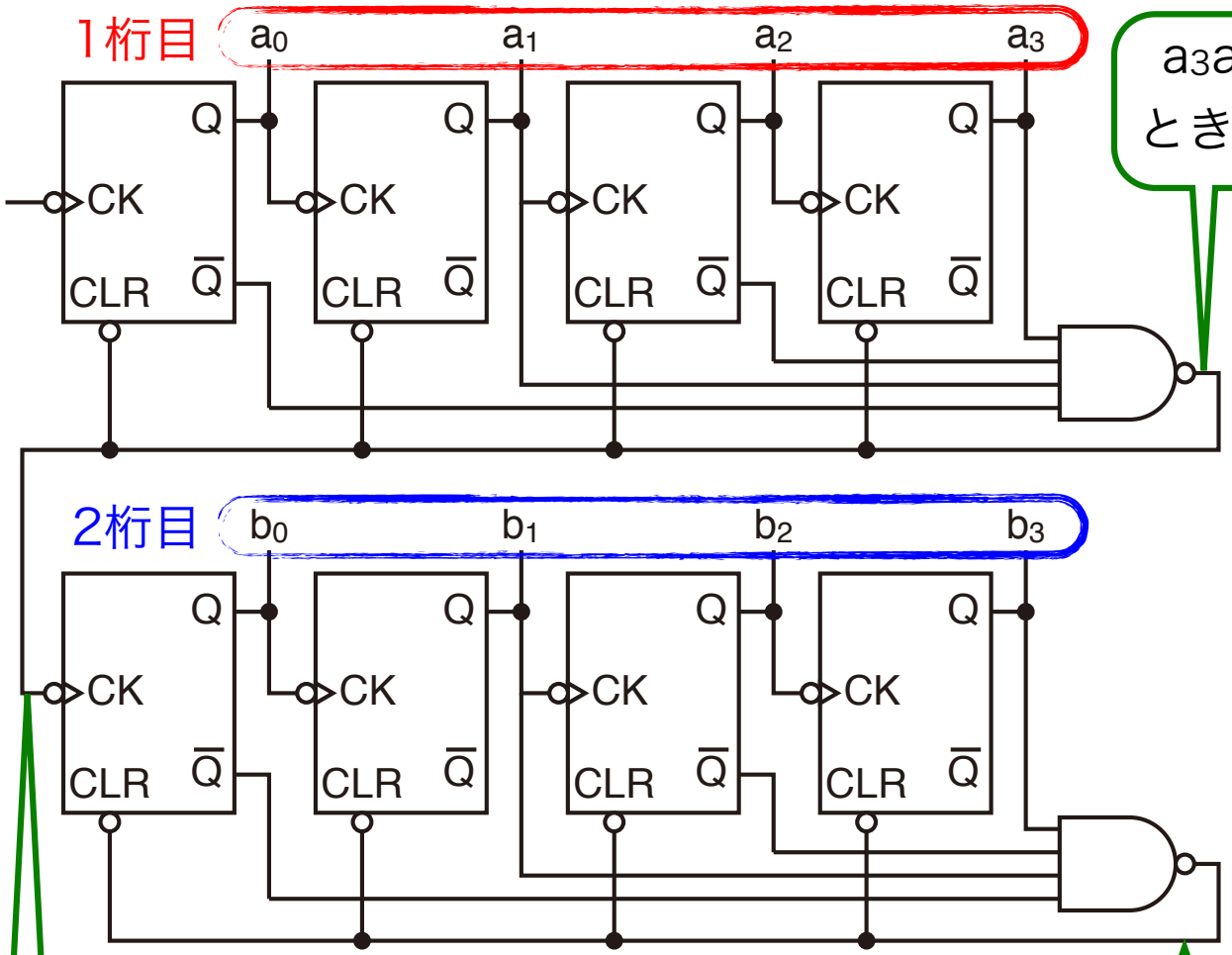


入力パルスが4つのFF全てに直結
→ **同期動作**する

アップカウンタ

ここでは示していないが、$\overline{Q}$出力を用いれば、ダウンカウンタとなる

10進カウンタ(BCD 2桁)



$a_3a_2a_1a_0$=1010(十進数で10)のときにaカウンタ(一桁目)をクリア

$a_3a_2a_1a_0$=1010となる毎にbカウンタ(2桁目)を増やす

$b_3b_2b_1b_0$=1010のときbカウンタ(2桁目)をクリア

pulse	$b_3b_2b_1b_0$	$a_3a_2a_1a_0$
0	0000	0000
1	0000	0001
2	0000	0010
⋮		
8	0000	1000
9	0000	1001
10	0001	0000
11	0001	0000
⋮		
19	0001	1001
20	0010	0000
21	0010	0001
⋮		
99	1001	1001
100	0000	0000
101	0000	0001
102	0000	0010