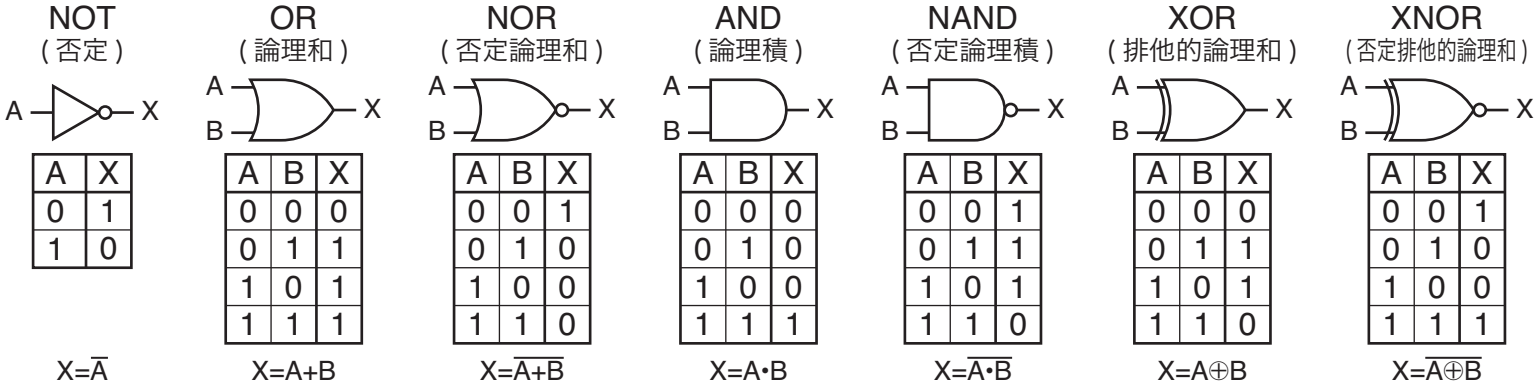
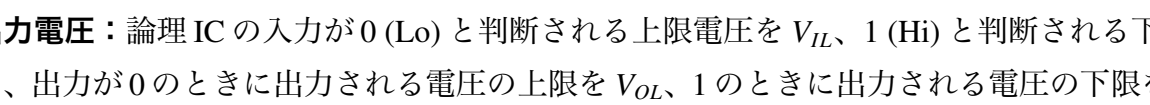
情報通信工学：後半の重要ポイント

1　論理回路

- **各論理の論理シンボル：**以下に論理記号 (ANSI 規格/MIL 規格) とその真理値表、演算記号を示す。このうち、NOT/OR/AND の 3 つを基本論理回路といい、これらの組み合わせで全ての論理回路を構成することができる。また、NOR あるいは NAND のみで基本論理回路を構成することも可能である。なお、論理シンボル中の否定を示す○印は状態表示記号 (state indicator) と呼ばれ、入力側に付すことも可能である (次のド・モルガンの定理の項を参照)。

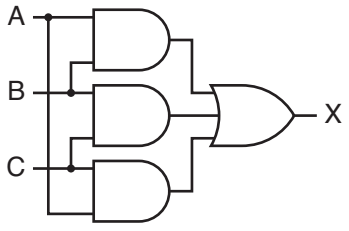


- **ド・モルガンの定理：**$\overline{A} + \overline{B} = \overline{A \cdot B}$、$\overline{A} \cdot \overline{B} = \overline{A + B}$ の二つの論理式で表現できる定理で、論理和と論理積を相互に変換するときの規則である。ド・モルガンの定理を論理シンボルで表現すると以下のようになる。



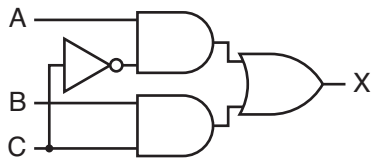
- **基礎的な論理回路：**以下に、基礎的な論理回路を示す。全加算回路を n 段つなげると、n 桁の 2 進数の加算が可能となる (1 桁目は半加算回路で良い)。

3入力多数決回路



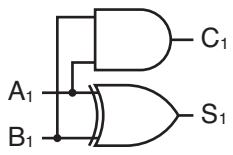
$X = A \cdot B + B \cdot C + C \cdot A$

2入力切替回路



$X = A \cdot \overline{C} + B \cdot C$

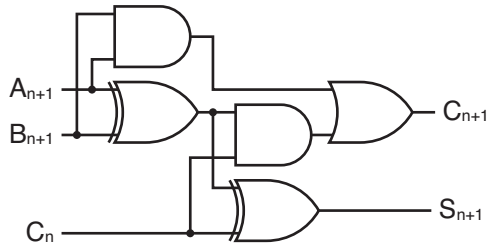
半加算回路



$C_1 = A_1 \cdot B_1$

$S_1 = A_1 \cdot \overline{B_1} + \overline{A_1} \cdot B_1$

全加算回路



2　論理 IC (TTL, CMOS)

- **論理 IC：**論理 IC とは、論理回路を集積化した IC で、74 シリーズが最も多用される。74 シリーズの型番は '74HC04P' 等のように数字と英字で構成されており、後半の 2 桁ないし 3 桁の数値が等しければ論理構成やピン配置が同じである (一部に例外もある)。

- **TTL：**バイポーラトランジスタを用いた IC 回路で、電源電圧は 5 V である。電流駆動であるため入力インピーダンスが比較的低く、消費電力が大きいが、高速動作に向く。ただし、現在は新規の設計で TTL を用いることはほとんどない。

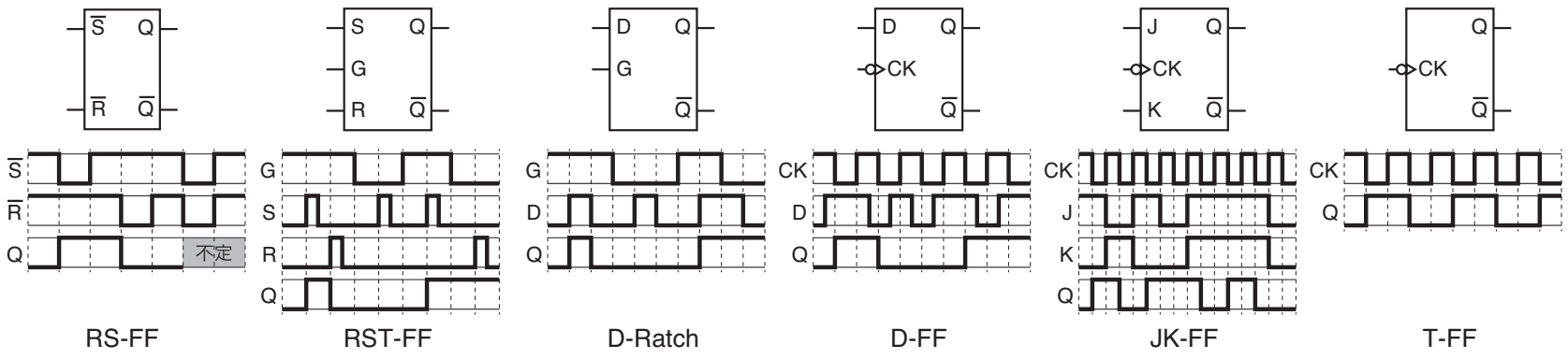
- **CMOS：**電界効果トランジスタ (MOS-FET) を用いた IC 回路で、電源電圧は設計により 2〜15 V と IC に依存する。電圧駆動であるため入力インピーダンスが比較的高く、消費電力が小さいが、高速動作は苦手である (ただし、最近は微細加工技術の発達によって TTL に劣らない速度を出せるものも出ている)。

- **入力電圧、出力電圧：**論理 IC の入力が 0 (Lo) と判断される上限電圧を V_{IL}、1 (Hi) と判断される下限電圧を V_{IH} と表記する。また、出力が 0 のときに出力される電圧の上限を V_{OL}、1 のときに出力される電圧の下限を V_{OH} と表記する。論理 IC を相互接続する際は、$V_{IL} > V_{OL}$ 且つ $V_{IH} < V_{OH}$ である必要があり、$V_{IL} - V_{OL}$ と $V_{OH} - V_{IH}$ の小さいほうをノイズマージンという。TTL の場合、$V_{IL} = 0.8$ V、$V_{IH} = 2.0$ V、$V_{OL} = 0.4$ V、$V_{OH} = 2.7$ V 程度であり、ノイズマージンは 0.4 V 程度である。また、CMOS の場合のこれらの値は電源電圧 (V_{DD}) に依存する。

- **入力電流、出力電流：**論理 IC の入力が 0 のときに入力端子に流れ込む上限電流を I_{IL}、1 のときに入力端子から流れ出す上限電流を I_{IH} と表記する。また、出力が 0 のときに出力端子に流れ込む電流の上限を I_{OL}、1 のときに出力端子から流れ出す電流の上限を I_{OH} と表記する。TTL の場合、I_{IL} = 1.6 mA、I_{IH} = 40 μA、I_{OL} = 16 mA、I_{OH} = 400 μA 程度であり、入出力とも IC に流れ込む電流のほうが大きい。このため、出力に LED やリレーなどを直接接続して駆動する場合は駆動電流が流れ込む方向に設計すべきである。CMOS の場合は 0 と 1 での差はなく、入力側が ±1 μA、出力側が ±5 mA 程度である (出力に大きな電流を流せる仕様の IC もある)。
- **ファンアウト：**出力に接続できる次段の入力数をファンアウトという。ファンアウトの上限は TTL の場合は入出力電流比 (I_{OL}/I_{IL}、I_{OH}/I_{IH}) から定まり、10 程度である。CMOS の場合は負荷容量が制約となり、一般に 5〜8 程度が上限である。
- **伝搬遅延時間：**一つの論理ゲートを信号が通過するのに要する時間で、10 ns 程度である。複数の信号を演算するとき、各信号が通過するゲート数が異なると信号の到達時間がずれ、予期せぬ演算結果 (ハザード) を生じることがある。
- **オープンコレクタ出力：**TTL IC において、内部のバイポーラトランジスタのコレクタ端子が直接出力として出ているものをいう。オープンコレクタ出力はそのままでは電圧信号を出力することはできないため、IC 外部でプルアップ抵抗を介して電源電圧に繋ぐ必要がある。CMOS における同様な構造はオープンドレイン出力という。オープンコレクタは出力レベルの調整、リレー等の直接ドライブ、結線論理回路や双方向回路の構成などに用いる。
- **結線論理：**オープンコレクタ出力同士を直結すると、出力の AND と等価な動作をする。結線論理は双方向回路に必須であり、1 本の信号線 (バスライン) で送信・受信の両方の動作を切り替えて使用できる (USB: Universal Serial Bus は、最も身近なバスライン)。

3 記憶回路 (順序回路)

- **組み合わせ回路・順序回路：**現在の入力状態のみで出力が定まる回路を組み合わせ回路、過去の入力の履歴で出力が定まる回路を順序回路 (記憶回路) という。
- **フリップフロップ：**最も基本的な順序回路はフリップフロップ (0/1=リセット/セット状態を交互に切り替えられる回路) である。フリップフロップ (FF) には、出力の切り替わりタイミングが入力のタイミングで定まる RS-FF、ゲート入力が 1 の間のみ入力の変化を受け付ける (ゲート型) RST-FF/D ラッチ、クロック信号の立ち上がり (あるいは立ち下がり) の瞬間の入力の状態のみを受け付ける (トリガ型) D-FF/JK-FF/T-FF がある。トリガ型の場合、クロックの立ち上がりで動作するものをポジティブエッジトリガ、立ち下がりで動作するものをネガティブエッジトリガという。回路図において、クロック (CK/CLK) 入力に○がついているものはネガティブエッジトリガを示す。
- **各種 FF の表記とタイムチャート** ($\overline{\text{Q}}$ は Q の反転のため省略)



- **FF の使用例：**RS-FF は機械スイッチのチャタリング防止や早押し判定回路等に、D-FF は時間差のある信号を揃えたりシリアル・パラレル変換回路等に、JK-FF や T-FF は計数回路 (カウンタ) 等に用いられる。

4 その他

本資料および演習問題 (5〜7) の解答例を以下からダウンロードできるので、適宜参考とすること。

http://www.surf.nuqe.nagoya-u.ac.jp/members/nakahara/ICE_summary2.pdf

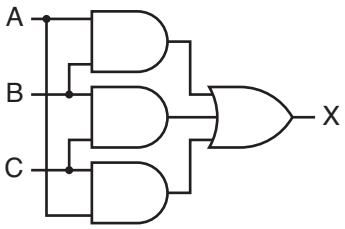
情報通信工学 演習 5

学籍番号：学籍番号　　氏名：氏名　　評価：A/B/C

5-1

以下の (a)、(b) の回路の出力 X を論理式で表し、真理値表を完成させよ。また、それぞれの回路は何というか答えよ。

(a)

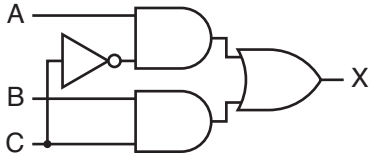


A	B	C	X
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$X = A \cdot B + B \cdot C + C \cdot A$

3入力多数決回路

(b)



A	B	C	X
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

$X = A \cdot \overline{C} + B \cdot C$

2入力切替回路

問 5-2

XOR(排他的論理和) と XNOR(否定排他的論理和) は互いに否定の関係にあることを証明せよ。

ヒント：$\overline{A \cdot \overline{B} + \overline{A} \cdot B} = A \cdot B + \overline{A} \cdot \overline{B}$ を証明する。

ド・モルガンの定理と復元則 ($\overline{\overline{A}} = A$) を用いると、

$$\overline{A \cdot \overline{B} + \overline{A} \cdot B} = \overline{A \cdot \overline{B}} \cdot \overline{\overline{A} \cdot B} = (\overline{A} + \overline{\overline{B}}) \cdot (\overline{\overline{A}} + \overline{B}) = (\overline{A} + B) \cdot (A + \overline{B}) = \overline{A} \cdot A + B \cdot A + \overline{A} \cdot \overline{B} + B \cdot \overline{B}$$

ここで、交換則 ($A \cdot B = B \cdot A$) と補元則 ($A \cdot \overline{A} = 0$)、恒等則 ($A + 0 = A$) を用いると、

$$\overline{A \cdot \overline{B} + \overline{A} \cdot B} = A \cdot B + \overline{A} \cdot \overline{B}$$

となり、XOR の否定が XNOR となることが証明できる。

問 5-3

(1) 下図の論理回路を論理式で表せ。(2) (1) の論理式を可能な限り簡略化せよ。(3) 簡略化した論理式を用いて、等価な動作をする論理回路を NOR のみを用いて描け。

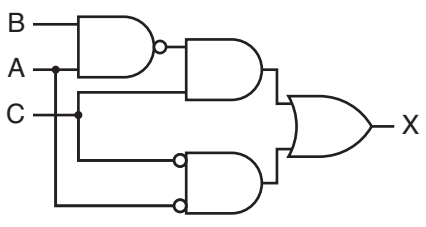
(1) $X = (\overline{A \cdot B}) \cdot C + \overline{A} \cdot \overline{C}$

(2) ド・モルガンの定理を用いると、

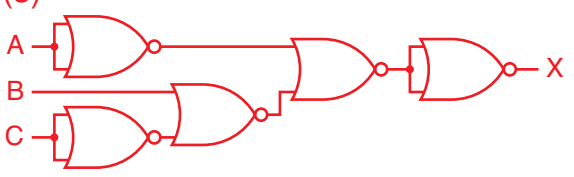
$$X = (\overline{A} + \overline{B}) \cdot C + \overline{A} \cdot \overline{C} = \overline{A} \cdot C + \overline{B} \cdot C + \overline{A} \cdot \overline{C}$$
$$= \overline{A} \cdot (C + \overline{C}) + \overline{B} \cdot C$$

補元則 ($A + \overline{A} = 1$)、恒等則 ($A \cdot 1 = A$) を用いると、

$$X = \overline{A} + \overline{B} \cdot C$$



(3)



情報通信工学 演習 6

学籍番号： 学籍番号　　氏名： 氏名　　評価： A/B/C

6-1

以下の文中の枠内に適切な語句を入れよ。

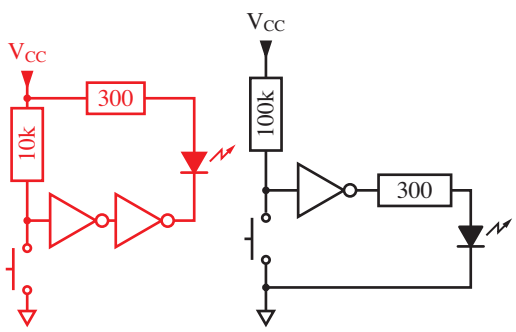
- TTL は バイポーラ トランジスタを用いた論理 IC で、電源電圧 5 V で用いる。TTL では論理 0 (LO) と判断する電圧は 0.8 V 以下、論理 1 (HI) と判断する電圧は 2.0 V 以上であり、これらの電圧レベルのことを TTL レベル という。一方、CMOS は MOS-FET を用いた論理 IC で、電源電圧は 2〜15 V とモデルによって異なっており、論理 0/1 と判断する電圧レベルも電源に応じて異なる。TTL は 電流 駆動であるため入力インピーダンスが 低く 消費電力が 大きい 。CMOS は 電圧 駆動であるため入力インピーダンスが 高く 消費電力が 小さい 。
- 論理 IC で最も多用されるものに Texas Instruments 社の 74 シリーズがある。これらの IC の型番は 74XXnnYY の形式をしており、 nn の数値が論理機能とピン配置を表している。
- 論理 IC の出力段のトランジスタのコレクタ端子が、そのまま出力端子となっているものを オープンコレクタ といい、この出力を機能させるためには プルアップ抵抗 で電源電圧につなぐ必要がある。これらの出力を直結して用いると、出力同士の AND 回路を作ることができる。このようにして得られる回路を 結線論理回路 という。
- 論理回路の出力信号を次段の入力端子に接続するとき、その分岐数のことを ファンアウト という。この数の最大値は、TTL の場合は出力電流 (I_{OL} = 16 mA、I_{OH} = 400 μA) と入力電流 (I_{IL} = 1.6 mA、I_{IH} = 40 μA) の比から 10 個となり、CMOS の場合は負荷容量 (50 pF) と入力容量 (10 pF) の比から 5 個となる †。
- 入力信号が論理 IC のゲートを通過して出力信号が現れるまでの時間を 伝搬遅延時間 といい、この値は一般的な IC の場合 10 ns 程度である。複数の入力信号を演算するとき、各信号が通過するゲート数が異なると信号の時間ずれが生じ、予期せぬ出力が出ることがある。この出力を ハザード という。

† CMOS のファンアウト数には若干の余裕があり、実際には 5〜8 程度と考えて良い。

問 6-2

右下図は TTL を用いた論理回路で、スイッチを押すと LED が点灯するようになっている。図の回路には 2 カ所の問題点がある。これら 2 つの問題点 (どのような不具合を生じるか) を指摘し、正常動作する回路を描け。

問題点 1：100 kΩ のプルアップ抵抗だと、NOT 回路の入力電流 (最大 40 μA) による電圧降下が 4 V となり、プルアップしても HI レベル (2.0 V 以上) にならない。
問題点 2：LED 駆動電流が NOT 回路の出力から流出する方向に接続されているが、出力電流 (最大 400 μA) による制限のため、LED を十分に光らせることができない。
従って、これら 2 点の問題を回避する回路は右図のようになる。



問 6-3

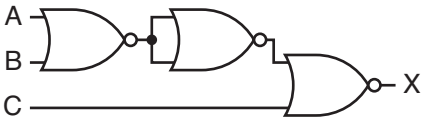
TTL 出力 (出力レベル $V_{OL} \leqq 0.4$ V、$V_{OH} \geqq 2.7$ V) の端子に CMOS IC を接続することを考える。CMOS 回路の電源電圧を V_{DD} [V] としたとき、CMOS の入力レベルが $V_{IL} \leqq 0.3V_{DD}$、$V_{IH} \geqq 0.7V_{DD}$ であるとすると、ノイズマージン 0.3 V 以上で双方を接続する場合に、CMOS IC の電源電圧 V_{DD} はどの範囲である必要があるか有効数字 2 桁で答えよ。

ノイズマージン 0.3 V の条件を満たすには、
$V_{OL} + 0.3 \leqq V_{IL}$、$V_{OH} - 0.3 \geqq V_{IH}$
である必要がある。

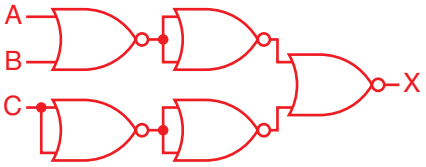
すなわち、$0.4 + 0.3 \leqq 0.3V_{DD}$、$2.7 - 0.3 \geqq 0.7V_{DD}$
であり、
$\boxed{2.3 \leqq V_{DD} \leqq 3.4 \text{ [V]}}$

問 6-4

右下図は 74HC02 (2 入力 NOR ゲート・CMOS) を用いて構成した 3 入力 NOR の回路図である。図の回路の問題点 (どのような不具合を生じるか) を指摘し、正常動作する回路を描け。

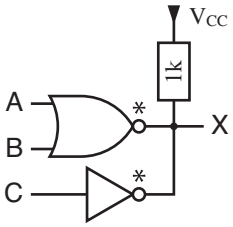


問題点：A + B の出力信号が最終段の NOR 回路に到達するまでの伝搬遅延時間が、1 ゲート当りの伝搬遅延時間を t_p として $2t_p$ であるのに対し、C の信号が最終段の NOR 回路に到達するまでの伝搬遅延時間は 0 である。この時間差のため、入力信号のパターンによっては予期しない出力 (ハザード) を生じることがある。
従って、上記のハザードを回避する回路は右図のようになる。

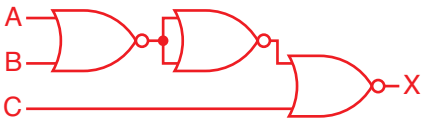


問 6-5

下図はオープンコレクタの 2 入力 NOR 回路と、同じくオープンコレクタの NOT 回路の出力を接続した回路である。これと同等の動作をする等価回路を通常の 2 入力 NOR 回路を用いて構成した場合の回路図を描け。なお、ハザードは考慮しなくてよい。

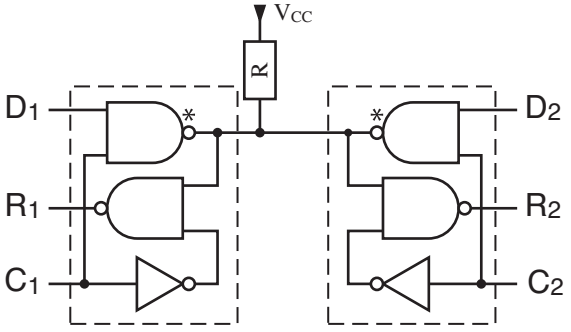


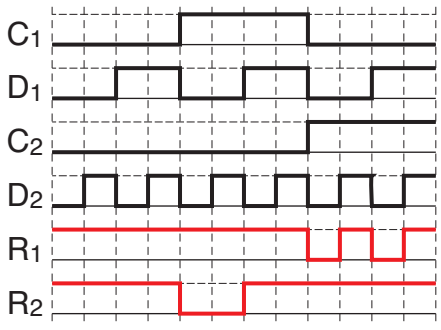
結線論理回路は AND であるので、
$X = \overline{A + B} \cdot \overline{C} = \overline{(A + B) + C}$
よって、等価回路は右図のようになる。



問 6-6

左下図は 2 つのトランシーバ回路を接続した双方向回路である。入力 C_1、D_1、C_2、D_2 を右下タイムチャートのように変化させたとき、出力 R_1、R_2 の変化をタイムチャートに描け。なお、伝搬遅延時間は無視してよい。





情報通信工学 演習 7

学籍番号： 学籍番号　氏名： 氏名　評価： A/B/C

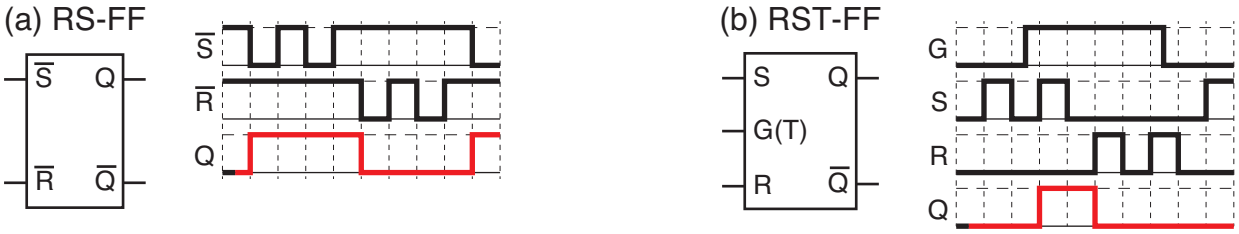
7-1

以下の文中の枠内に適切な語句を入れよ。

- 入力信号に対して出力が一意に定まる論理回路を 組合せ回路 、入力の履歴によって出力が変化する論理回路を 順序回路 という。
- 最も基本的なフリップフロップは、セット入力 $\overline{S}$ とリセット入力 $\overline{R}$ を有するもので、 RS フリップフロップと呼ばれ、$\overline{S}$ = 0 で非反転出力 Q をセット (=1)、$\overline{R}$ = 0 で非反転出力 Q をリセット (=0) する。但し $\overline{S}$ と $\overline{R}$ は同時に 0 にしてはいけない。このフリップフロップはスイッチ入力部での チャタリング 防止といった用途で用いられることが多い。
- コンピュータ等の内部で多用されているフリップフロップに D フリップフロップがあり、これはクロック入力の立ち上がり或は立ち下がり時に入力信号を取り込んで出力するものである。このフリップフロップは、時系列で並んだシリアル信号をパラレル信号に変換したり、遅延によって到達時間がずれた信号のタイミングを揃えたりする シフトレジスタ に用いられている。
- 上のフリップフロップのようにクロック信号に同期した動作をするとき、クロックの立ち上がりで動作するものを ポジティブ エッジトリガ、立ち下がりで動作するものを ネガティブ エッジトリガという。

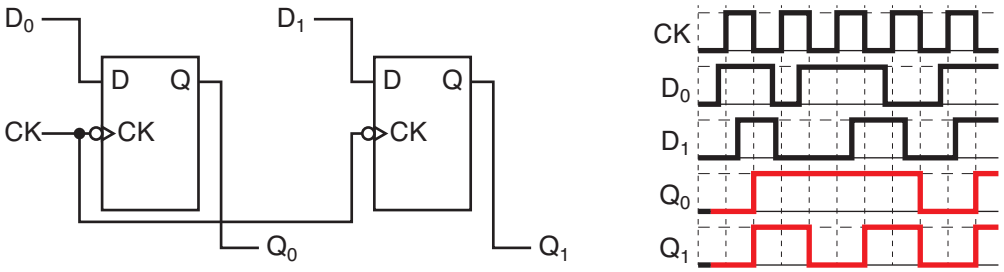
問 7-2

(a) RS-FF、(b) RST-FF にそれぞれ下図のような入力を与えたとき、出力 Q の変化をグラフ中に描け。なお、Q の初期値は 0 とし、ゲートの遅延は無視して良い。



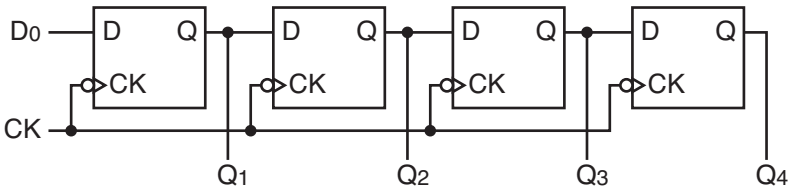
問 7-3

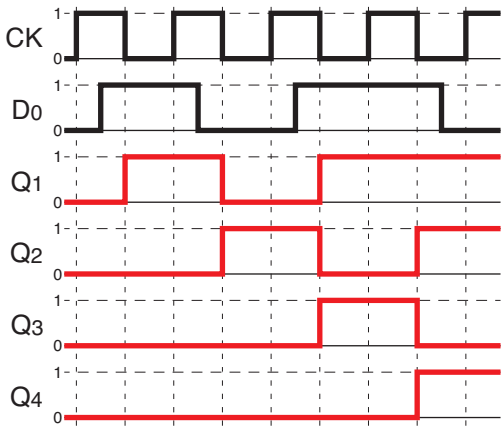
D-FF を用いた以下の回路に右図のような入力 (CK/D_0/D_1) を与えたときの出力 Q_0/Q_1 の変化をグラフ中に描け。なお、Q の初期値は 0 とし、ゲートの遅延は無視して良い。



問 7-4

D-FF を用いた以下の回路について、クロック入力 CK とデータ入力 D_0 が右図のように与えられたとき、4 つの出力 Q_1〜Q_4 がどのように変化するか、タイムチャートを完成させよ。また、このような回路をなんというか答えよ。なお、初期状態で全ての FF はリセットされているものとし、伝搬遅延は無視してよい。

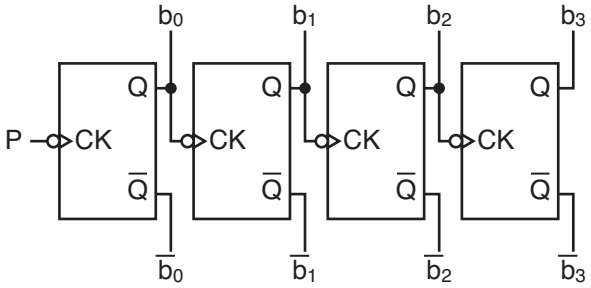


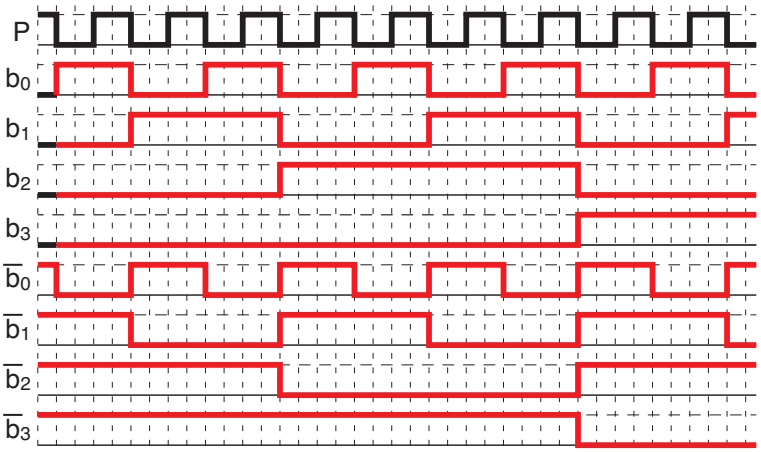


シリアル・パラレル変換回路

問 7-5

T-FF を用いた以下の回路について、入力 P が右図のように与えられたとき、8 つの出力 b_0〜b_3、$\overline{b_0}$〜$\overline{b_3}$ がどのように変化するか、タイムチャートを完成させよ。また、このような回路をなんというか答えよ。なお、初期状態で全ての FF はリセットされているものとし、伝搬遅延は無視してよい。





非同期式カウンタ回路